



(19)

(11) Publication number: 11345888 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 11108819

(51) Intl. H01L 21/8247 H01L 29/788 H01L 29/792  
Cl.: H01L 27/115

(22) Application date: 16.04.99

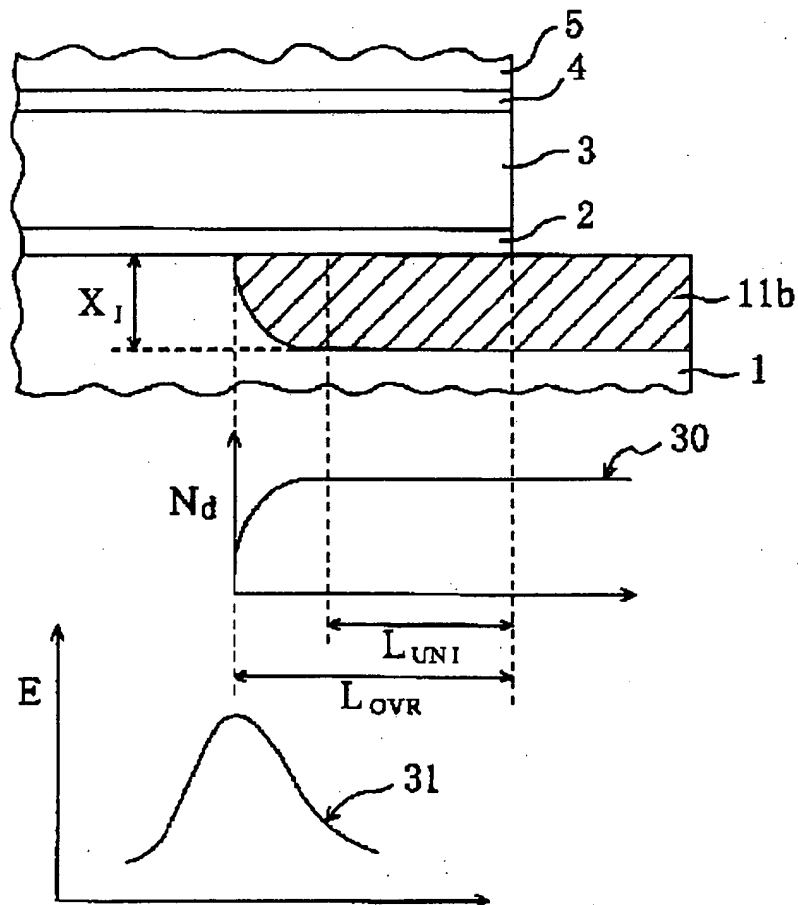
(30) Priority: 16.04.98 US 98 61024	(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD
(43) Date of application publication: 14.12.99	HALO LSI DESIGN & DEVICE TECHNOL INC
(84) Designated contracting states:	(72) Inventor: HORI ATSUSHI KATO JUNICHI ODANAKA SHINJI OGURA SEIKI
	(74) Representative:

**(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURE THEREOF****(57) Abstract:**

**PROBLEM TO BE SOLVED:** To realize increase in the writing rate and reduction of the writing voltage by improving the injection efficiency of channel hot electrons.

**SOLUTION:** In this nonvolatile semiconductor memory device, in which a floating gate electrode 3 is overlapped with a part of a drain region 11b, a region having a constant impurity concentration  $N_d$  horizontally laterally along a channel longitudinal direction is included in the overlapped part. Since the peak position in an intensity distribution 31 of a channel longitudinal electric field generated in the vicinity of a surface of a silicon substrate 1 is much shifted inward of the drain-side edge of the floating gate electrode 3 in a data write mode, hot electrons generated can be injected efficiently into the floating gate electrode 3.

COPYRIGHT: (C)1999,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-345888

(43)公開日 平成11年(1999)12月14日

(51)Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 21/8247  
29/788  
29/792  
27/115

H 0 1 L 29/78 3 7 1  
27/10 4 3 4

審査請求 有 請求項の数35 O L (全 24 頁)

(21)出願番号 特願平11-108819

(22)出願日 平成11年(1999)4月16日

(31)優先権主張番号 09/061024

(32)優先日 1998年4月16日

(33)優先権主張国 米国 (US)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(71)出願人 598165507

ヘイロー エルエスアイ デザイン アン  
ド デバイステクノロジー インコーポレ  
イテッド

アメリカ合衆国, ニューヨーク州 12590,  
ワッピンジャーズ フォールス, オールド  
ホープウェル ロード 140

(74)代理人 弁理士 前田 弘 (外1名)

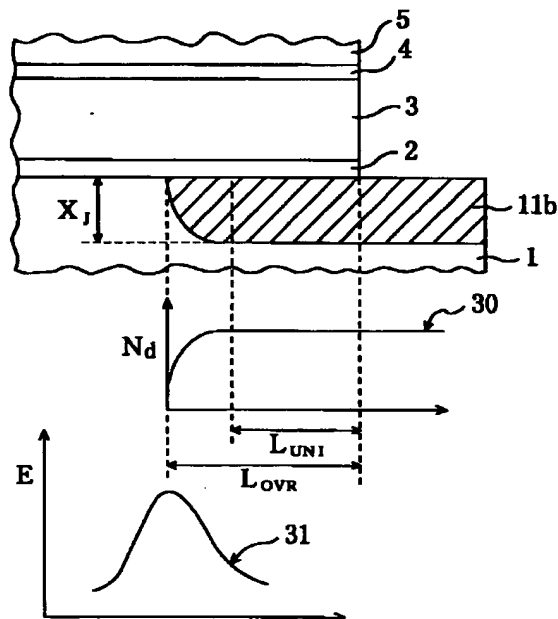
最終頁に続く

(54)【発明の名称】 不揮発性半導体記憶装置およびその製造方法

(57)【要約】

【課題】 チャネルホットエレクトロンの注入効率を向上し、書き込み速度の向上または書き込み電圧の低化をはかる。

【解決手段】 浮遊ゲート電極3がドレイン領域11bの一部分とオーバーラップしている不揮発性半導体記憶装置において、チャネル長方向に沿って水平横方向に不純物濃度 $N_d$ が一定の領域をオーバーラップ部分内に有する。データ書き込み時にシリコン基板1の表面付近に形成されるチャネル長方向電界の強度分布31のピーク位置が浮遊ゲート電極3のドレイン側エッジより内部に大きくシフトしているため、生成されたホットエレクトロンが効率良く浮遊ゲート電極3に注入される。



## 【特許請求の範囲】

【請求項1】 第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、前記ゲート電極は、前記ドレイン領域の一部分にオーバーラップしており、前記ゲート電極によってオーバーラップされている前記ドレイン領域の前記一部分は、不純物濃度がチャンネル長方向に沿ってほぼ一定の均一領域を含んでいる、不揮発性半導体記憶装置。

【請求項2】 前記ドレイン領域の前記均一領域の前記チャンネル長方向に沿って計測したサイズは、50nm以上である請求項1に記載の不揮発性半導体記憶装置。

【請求項3】 チャンネル長が0.4μm以下であり、かつ、前記ドレイン領域の前記一部分の前記チャンネル長方向に沿って計測したサイズが、80nm以上である請求項1に記載の不揮発性半導体記憶装置。

【請求項4】 前記ドレイン領域の前記一部分の前記チャンネル長方向に沿って計測したサイズは、前記ドレイン領域の前記一部分の厚さよりも大きい請求項1に記載の不揮発性半導体記憶装置。

【請求項5】 前記ドレイン領域の前記一部分に含まれる前記均一領域の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低い請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 前記ドレイン領域は、前記半導体領域の表面に形成された第1の不純物拡散層と、前記第1の不純物拡散層に電気的に接続され、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第1の不純物拡散層から形成されており、前記第2の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第1の不純物拡散層に伝達する機能を有する請求項5に記載の不揮発性半導体記憶装置。

【請求項7】 前記ドレイン領域は第3の不純物拡散層を含み、前記第3の不純物拡散層は、前記半導体領域の表面に形成され、前記第1の不純物拡散層と前記第2の不純物拡散層とを電気的に相互接続し、前記第1の不純物拡散層

の不純物濃度よりも高く前記第2の不純物拡散層の不純物濃度よりも低い不純物濃度を持つ、請求項6に記載の不揮発性半導体記憶装置。

【請求項8】 前記ドレイン領域の前記第3の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされている請求項7に記載の不揮発性半導体記憶装置。

【請求項9】 前記チャンネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、

前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の他の部分の不純物濃度よりも高い不純物濃度を有している、請求項1から8の何れかに記載の不揮発性半導体記憶装置。

【請求項10】 前記ドレイン領域は、前記第2の不純物拡散層と前記半導体領域との間に設けられた第2導電型の低濃度不純物拡散層を含み、

前記低濃度不純物拡散層は、前記第3の不純物拡散層の不純物濃度よりも低い不純物濃度を持つ、請求項7に記載の不揮発性半導体記憶装置。

【請求項11】 前記チャンネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、

前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している、請求項10に記載の不揮発性半導体記憶装置。

【請求項12】 第1導電型の半導体領域と、

前記半導体領域上に形成された絶縁膜と、

前記絶縁膜上に形成されたゲート電極と、

前記半導体領域内に形成された第2導電型のソース領域と、

前記半導体基板内に形成された第2導電型のドレイン領域と、

前記半導体基板内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、

前記ゲート電極は、前記ドレイン領域の一部分にオーバーラップしており、

前記ゲート電極にオーバーラップされている前記ドレイン領域の前記一部分のチャンネル長方向に沿って計測したサイズは、前記ドレイン領域中の第2導電型不純物の横方向拡散長よりも大きい、不揮発性半導体記憶装置。

【請求項13】 前記ゲート電極にオーバーラップされている前記ドレイン領域の前記一部分のチャンネル長方向に沿って計測したサイズは、前記ドレイン領域の前記一部分の厚さよりも大きい、請求項12に記載の不揮発性半導体記憶装置。

【請求項14】 前記ドレイン領域の前記一部分は、斜めイオン注入法によって注入された不純物を含んでいる請求項12に記載の不揮発性半導体記憶装置。

【請求項15】 チャネル長が0.4 $\mu$ m以下であり、かつ、前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズが、80nm以上である請求項12に記載の不揮発性半導体記憶装置。

【請求項16】 前記ドレイン領域の前記一部分の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低い請求項12に記載の不揮発性半導体記憶装置。

【請求項17】 前記ドレイン領域は、前記半導体領域の表面に形成された第1の不純物拡散層と、前記第1の不純物拡散層に電気的に接続され、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第1の不純物拡散層から形成されており、前記第2の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第1の不純物拡散層に伝達する機能を有する請求項16に記載の不揮発性半導体記憶装置。

【請求項18】 前記ドレイン領域は第3の不純物拡散層を含み、前記第3の不純物拡散層は、前記半導体領域の表面に形成され、前記第1の不純物拡散層と前記第2の不純物拡散層とを電気的に相互接続し、前記第1の不純物拡散層の不純物濃度よりも高く前記第2の不純物拡散層の不純物濃度よりも低い不純物濃度を持つ、請求項16に記載の不揮発性半導体記憶装置。

【請求項19】 前記ドレイン領域の前記第3の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされている請求項18に記載の不揮発性半導体記憶装置。

【請求項20】 前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している、請求項12から19の何れかに記載の不揮発性半導体記憶装置。

【請求項21】 前記ドレイン領域は、前記第2の不純物拡散層と前記半導体領域との間に設けられた第2導電型の低濃度不純物拡散層を含み、前記低濃度不純物拡散層は、前記第3の不純物拡散層の不純物濃度よりも低い不純物濃度を持つ、請求項18に記載の不揮発性半導体記憶装置。

【請求項22】 前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半

導体領域の不純物濃度よりも高い不純物濃度を有している、請求項21に記載の不揮発性半導体記憶装置。

【請求項23】 第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、データ書き込み時に前記半導体領域の表面に形成されるチャネル長方向電界の強度ピーク位置が、前記ゲート電極のエッジよりも前記チャネル領域の中心部に向かってシフトしており、しかも、そのシフト量は、前記ドレイン領域中の第2導電型不純物の横方向拡散長よりも大きい不揮発性半導体記憶装置。

【請求項24】 第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち前記チャネル領域となる領域をマスクで覆う工程と、前記半導体領域のうち前記マスクで覆われてない領域に、前記ドレイン領域の少なくとも一部として機能する第2導電型不純物拡散層を形成する工程と、前記マスクを除去する工程と、前記ドレイン領域の一部として機能する前記第2導電型不純物拡散層の一部分および前記チャネル領域の両方を覆うようにして前記ゲート電極を形成するゲート形成工程と、を包含し、前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分が、チャネル長方向に沿って横方向に不純物濃度一定の均一領域を含むように実行される不揮発性半導体記憶装置の製造方法。

【請求項25】 第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領

域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、  
前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち少なくとも前記チャンネル領域となる領域および前記ソース領域となる領域をマスクで覆う工程と、

前記半導体領域のうち前記マスクで覆われていない領域に、前記ドレイン領域の少なくとも一部として機能する第2導電型不純物拡散層を形成する工程と、  
前記マスクを除去する工程と、  
前記ドレイン領域の一部として機能する前記第2導電型不純物拡散層の一部分を覆うようにして前記ゲート電極を形成するゲート形成工程と、を包含し、  
前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分が、チャンネル長方向に沿って横方向に不純物濃度一定の均一領域を含むように実行される不揮発性半導体記憶装置の製造方法。

【請求項26】 前記ゲート形成工程は、前記第2導電型不純物拡散層の前記均一領域の前記チャンネル長方向に沿って計測したサイズが、50nm以上となるように実行される請求項24に記載の不揮発性半導体記憶装置の製造方法。

【請求項27】 前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、80nm以上となるように実行される請求項24に記載の不揮発性半導体記憶装置の製造方法。

【請求項28】 前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、前記第2導電型不純物拡散層の前記一部分の厚さよりも大きくなるように実行される請求項24に記載の不揮発性半導体記憶装置の製造方法。

【請求項29】 前記ゲート電極の形成後に、少なくとも前記ゲート電極をマスクとして前記半導体領域に第2導電型不純物を注入することによって前記ソース領域および前記ドレイン領域の形成を完了する高レベルドーピング工程を更に包含する、請求項24に記載の不揮発性半導体記憶装置の製造方法。

【請求項30】 前記ゲート電極の形成後、前記高レベルドーピング工程の前に、前記ゲート電極をマスクとして前記半導体領域に第2導電型不純物を注入することによって、前記第2導電型不純物拡散層の不純物濃度よりも高い不純物濃度を持つ他の第2導電型不純物拡散層を前記ゲート電極に対して自己整合的に形成する工程と、  
前記他の第2導電型不純物拡散層を形成した後、前記高レベルドーピング工程の前に、前記ゲート電極および前

記第2のゲート電極の側面にサイドウォールスペーサを形成する工程と、を更に包含する、請求項29に記載の不揮発性半導体記憶装置の製造方法。

【請求項31】 前記マスクを形成した後、前記マスクを除去する前において、前記半導体領域のうち前記マスクに覆われてない領域に第1導電型不純物を注入する工程を更に包含し、それによって、最終的に前記チャンネル領域は前記第2導電型不純物拡散層に接する位置に第1導電型の不純物拡散層を有する請求項25から30の何れかに記載の不揮発性半導体記憶装置の製造方法。

【請求項32】 第1導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第2導電型のソース領域と、  
前記半導体領域内に形成された第2導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、不純物濃度がチャンネル長方向に沿ってほぼ一定の第1の不純物拡散層と、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【請求項33】 データ書き込み時において、前記第1の不純物拡散層の少なくとも表面に反転層が形成されることを特徴とする請求項32に記載の不揮発性半導体記憶装置。

【請求項34】 第1導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第2導電型のソース領域と、  
前記半導体領域内に形成された第2導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、データ書き込み時において少なくとも表面に反転層が形成される程度の不純物濃度を持つ第1の不純物拡散層と、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【請求項35】 第1導電型の半導体領域と、  
前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第2導電型のソース領域と、  
前記半導体領域内に形成された第2導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、データ書き込み時において少なくとも表面に反転層が形成される程度の不純物濃度を持つ第1の不純物拡散層と、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【請求項35】 第1導電型の半導体領域と、

前記半導体領域上に形成された絶縁膜と、  
前記絶縁膜上に形成されたゲート電極と、  
前記半導体領域内に形成された第2導電型のソース領域と、  
前記半導体領域内に形成された第2導電型のドレイン領域と、  
前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、  
前記ドレイン領域は、前記ゲート電極の電位にかかわらず実質的に一定のドレイン電位を示す高濃度不純物拡散層と、前記ゲート電極の電位に応じて表面電位分布が変化する低濃度不純物拡散層とを含んでおり、  
前記ゲート電極は、前記ドレイン領域の低濃度不純物拡散層の全体および前記高濃度不純物拡散層の一部にオーバーラップしている、不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置およびその製造方法に関する。

【0002】

【従来の技術】フラッシュ型EEPROMは、電気的に書き込み及び消去が可能な不揮発性半導体記憶装置として広く用いられている。図1は、従来のフラッシュ型EEPROMの断面を示している。この装置は、図1に示されるように、シリコン基板101上に形成された積層ゲート構造と、シリコン基板101内に形成された複雑な不純物拡散構造とを備えている。このゲート構造は、シリコン基板101上に形成されたトンネル絶縁膜102と、トンネル絶縁膜102上に形成された浮遊ゲート電極103と、浮遊ゲート電極103上に形成された容量絶縁膜104と、容量絶縁膜104上に形成された制御ゲート電極105とを備えている。これらの積層ゲート構造の側面には絶縁性サイドウォール109aおよび109bが設けられている。不純物拡散構造は、ドレイン側において、第1のn<sup>+</sup>型高濃度不純物拡散層110と第2のn<sup>+</sup>型高濃度不純物拡散層111とを有しており、これらの不純物拡散層110および111の外側にp型不純物拡散層112が位置している。一方、ソース側においては、n<sup>+</sup>型高濃度不純物拡散層113とn<sup>+</sup>型低濃度不純物拡散層114とが形成されている。

【0003】データの書き込み時、シリコン基板101とトンネル絶縁膜102との界面近傍に形成されるチャネル長方向電界の強度ピークは、第1のn<sup>+</sup>型高濃度不純物拡散層110とp型不純物拡散層112との間の接合部分に位置している。この電界強度ピーク位置およびその近傍でホットエレクトロンが形成され、浮遊ゲート電極103に注入され、その中に蓄積される。

【0004】データの消去時、浮遊ゲート電極103内の電子は、トンネル絶縁膜102中のトンネリングによ

って、ソース側のn<sup>+</sup>型高濃度不純物拡散層113へ引き抜かれる。

【0005】

【発明が解決しようとする課題】上記従来の不揮発性半導体記憶装置には、以下に示す問題点がある。

【0006】まず、従来のフラッシュ型EEPROMにおけるデータ書き込みの速度は、DRAMにおけるデータ書き込み速度に比較して2桁も遅い。このため、データ書き込み時にドレインおよび制御ゲート電極に印加する電圧を高くしなければならず、それによって回路構成及び製造工程が複雑になる。

【0007】書き込み速度が遅い原因の1つは、チャネルホットエレクトロンが浮遊ゲートへ注入される効率が悪いことであると考えられる。

【0008】本発明は上記事情に鑑みてなされたものであり、その目的とするところは、チャネルホットエレクトロンの注入効率を向上し、書き込み速度の向上または書き込み電圧の低化を可能にする不揮発性半導体記憶装置およびその製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明による不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ゲート電極は、前記ドレイン領域の一部分にオーバーラップしており、前記ゲート電極によってオーバーラップされている前記ドレイン領域の前記一部分は、不純物濃度がチャネル長方向に沿ってほぼ一定の均一領域を含んでいる。

【0010】好ましい実施形態では、前記ドレイン領域の前記均一領域の前記チャネル長方向に沿って計測したサイズは、50nm以上である。

【0011】チャネル長が0.4μm以下であり、かつ、前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズが、80nm以上であってもよい。

【0012】前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズは、前記ドレイン領域の前記一部分の厚さよりも大きいことが好ましい。

【0013】前記ドレイン領域の前記一部分に含まれる前記均一領域の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低いことが好ましい。

【0014】前記ドレイン領域は、前記半導体領域の表面に形成された第1の不純物拡散層と、前記第1の不純物拡散層に電気的に接続され、前記第1の不純物拡散層

の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第1の不純物拡散層から形成されており、前記第2の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第1の不純物拡散層に伝達する機能を有することが好ましい。

【0015】前記ドレイン領域は第3の不純物拡散層を含み、前記第3の不純物拡散層は、前記半導体領域の表面に形成され、前記第1の不純物拡散層と前記第2の不純物拡散層とを電気的に相互接続し、前記第1の不純物拡散層の不純物濃度よりも高く前記第2の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0016】前記ドレイン領域の前記第3の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされていることが好ましい。

【0017】好ましい実施形態では、前記チャネル領域が前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の他の部分の不純物濃度よりも高い不純物濃度を有している。

【0018】前記ドレイン領域は、前記第2の不純物拡散層と前記半導体領域との間に設けられた第2導電型の低濃度不純物拡散層を含み、前記低濃度不純物拡散層は、前記第3の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0019】前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有していてもよい。

【0020】本発明による他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体基板内に形成された第2導電型のドレイン領域と、前記半導体基板内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ゲート電極は、前記ドレイン領域の一部分にオーバーラップしており、前記ゲート電極にオーバーラップされている前記ドレイン領域の前記一部分のチャネル長方向に沿って計測したサイズは、前記ドレイン領域中の第2導電型不純物の横方向拡散長よりも大きい。

【0021】前記ゲート電極にオーバーラップされている前記ドレイン領域の前記一部分のチャネル長方向に沿って計測したサイズは、前記ドレイン領域の前記一部分の厚さよりも大きいことが好ましい。

【0022】前記ドレイン領域の前記一部分は、斜めイオン注入法によって注入された不純物を含んでいてもよい。

【0023】チャネル長が $0.4\mu\text{m}$ 以下であり、かつ、前記ドレイン領域の前記一部分の前記チャネル長方向に沿って計測したサイズが、 $80\text{nm}$ 以上であってもよい。

【0024】前記ドレイン領域の前記一部分の不純物濃度は、前記ドレイン領域のうち前記ゲート電極がオーバーラップしていない領域の不純物濃度よりも低いことが好ましい。

【0025】前記ドレイン領域は、前記半導体領域の表面に形成された第1の不純物拡散層と、前記第1の不純物拡散層に電気的に接続され、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ドレイン領域の前記一部分は、前記第1の不純物拡散層から形成されており、前記第2の不純物拡散層は、前記ドレイン領域にドレイン電圧を供給する配線とコンタクトしており、前記ドレイン電圧を前記第1の不純物拡散層に伝達する機能を有することが好ましい。

【0026】前記ドレイン領域は第3の不純物拡散層を含み、前記第3の不純物拡散層は、前記半導体領域の表面に形成され、前記第1の不純物拡散層と前記第2の不純物拡散層とを電気的に相互接続し、前記第1の不純物拡散層の不純物濃度よりも高く前記第2の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0027】前記ドレイン領域の前記第3の不純物拡散層の少なくとも一部は、前記ゲート電極によってオーバーラップされていることが好ましい。

【0028】好ましい実施形態では、前記チャネル領域が前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している。

【0029】前記ドレイン領域は、前記第2の不純物拡散層と前記半導体領域との間に設けられた第2導電型の低濃度不純物拡散層を含み、前記低濃度不純物拡散層は、前記第3の不純物拡散層の不純物濃度よりも低い不純物濃度を持つようにしてもよい。

【0030】好ましい実施形態では、前記チャネル領域は、前記ドレイン領域の前記一部分に接する位置に形成された第1導電型の不純物拡散層を含んでおり、前記第1導電型の不純物拡散層は、前記第1導電型の半導体領域の不純物濃度よりも高い不純物濃度を有している。

【0031】本発明による不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース

領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、データ書き込み時に前記半導体領域の表面に形成されるチャンネル長方向電界の強度ピーク位置が、前記ゲート電極のエッジよりも前記チャンネル領域の中心部に向かってシフトしており、しかも、そのシフト量は、前記ドレイン領域中の第2導電型不純物の横方向拡散長よりも大きい。

【0032】本発明による不揮発性半導体記憶装置の製造方法は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち前記チャンネル領域となる領域をマスクで覆う工程と、前記半導体領域のうち前記マスクで覆われてない領域に、前記ドレイン領域の少なくとも一部として機能する第2導電型不純物拡散層を形成する工程と、前記マスクを除去する工程と、前記ドレイン領域の一部として機能する前記第2導電型不純物拡散層の一部分および前記チャンネル領域の両方を覆うようにして前記ゲート電極を形成するゲート形成工程とを包含し、前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分が、チャンネル長方向に沿って横方向に不純物濃度一定の均一領域を含むように実行される。

【0033】本発明による他の不揮発性半導体記憶装置の製造方法は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置の製造方法であって、前記ソース領域および前記ドレイン領域を形成する前に、前記半導体領域のうち少なくとも前記チャンネル領域となる領域および前記ソース領域となる領域をマスクで覆う工程と、前記半導体領域のうち前記マスクで覆われていない領域に、前記ドレイン領域の少なくとも一部として機能する第2導電型不純物拡散層を形成する工程と、前記マスクを除去する工程と、前記ドレイン領域の一部として機能する前記第2導電型不純物拡散層の一部分を覆うようにして前記ゲート電極を形成するゲート形成工程とを包含し、前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分が、チャンネル長方

向に沿って横方向に不純物濃度一定の均一領域を含むように実行される。

【0034】好ましい実施形態では、前記ゲート形成工程が、前記第2導電型不純物拡散層の前記均一領域の前記チャンネル長方向に沿って計測したサイズが、50nm以上となるように実行される。

【0035】前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、80nm以上となるように実行されてもよい。

【0036】前記ゲート形成工程は、前記ゲート電極によってオーバーラップされる前記第2導電型不純物拡散層の前記一部分の前記チャンネル長方向に沿って計測したサイズが、前記第2導電型不純物拡散層の前記一部分の厚さよりも大きくなるように実行されることが好ましい。

【0037】前記ゲート電極の形成後に、少なくとも前記ゲート電極をマスクとして前記半導体領域に第2導電型不純物を注入することによって前記ソース領域および前記ドレイン領域の形成を完了する高レベルドーピング工程を更に包含することが好ましい。

【0038】前記ゲート電極の形成後、前記高レベルドーピング工程の前に、前記ゲート電極をマスクとして前記半導体領域に第2導電型不純物を注入することによって、前記第2導電型不純物拡散層の不純物濃度よりも高い不純物濃度を持つ他の第2導電型不純物拡散層を前記ゲート電極に対して自己整合的に形成する工程と、前記他の第2導電型不純物拡散層を形成した後、前記高レベルドーピング工程の前に、前記ゲート電極および前記第2のゲート電極の側面にサイドウォールスペースを形成する工程とを更に包含してもよい。

【0039】前記マスクを形成した後、前記マスクを除去する前において、前記半導体領域のうち前記マスクに覆われてない領域に第1導電型不純物を注入する工程を更に包含し、それによって、最終的に前記チャンネル領域は前記第2導電型不純物拡散層に接する位置に第1導電型の不純物拡散層を有するにしてもよい。

【0040】本発明による更に他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャンネル領域とを備えた不揮発性半導体記憶装置であって、前記ドレイン領域は、不純物濃度がチャンネル長方向に沿ってほぼ一定の第1の不純物拡散層と、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ゲート電極は、前記ド



レイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている。

【0041】データ書き込み時において、前記第1の不純物拡散層の少なくとも表面に反転層が形成されることが好ましい。

【0042】本発明による更に他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ドレイン領域は、データ書き込み時において少なくとも表面に反転層が形成される程度の不純物濃度を持つ第1の不純物拡散層と、前記第1の不純物拡散層の不純物濃度よりも高い不純物濃度を持つ第2の不純物拡散層とを含んでおり、前記ゲート電極は、前記ドレイン領域の前記第1の不純物拡散層の全体および前記第2の不純物拡散層の一部にオーバーラップしている。

【0043】本発明による更に他の不揮発性半導体記憶装置は、第1導電型の半導体領域と、前記半導体領域上に形成された絶縁膜と、前記絶縁膜上に形成されたゲート電極と、前記半導体領域内に形成された第2導電型のソース領域と、前記半導体領域内に形成された第2導電型のドレイン領域と、前記半導体領域内に形成され、前記ソース領域と前記ドレイン領域との間に位置するチャネル領域とを備えた不揮発性半導体記憶装置であって、前記ドレイン領域は、前記ゲート電極の電位にかかわらず実質的に一定のドレイン電位を示す高濃度不純物拡散層と、前記ゲート電極の電位に応じて表面電位分布が変化する低濃度不純物拡散層とを含んでおり、前記ゲート電極は、前記ドレイン領域の低濃度不純物拡散層の全体および前記高濃度不純物拡散層の一部にオーバーラップしている。

【0044】

【発明の実施の形態】本願発明による不揮発性半導体記憶装置では、ドレイン領域とチャネル領域との間に形成されるpn接合の、半導体基板表面における位置が、ゲートエッジからチャネル領域の内部に向かって「横方向拡散長」よりも大きくシフトしている。従来の製造方法によれば、ゲート形成後にドレイン領域を形成していたため、ドレイン領域のゲートオーバーラップ部分は、注入不純物がその後のプロセスで横方向に拡散することによって形成されたものである。その場合、オーバーラップ部分のサイズは、横方向拡散長程度である。

【0045】データ書き込み時にチャネル領域内に形成される水平方向電界の強度分布は、上記pn接合付近にピークを持つ。本願発明では、この電界強度のピークを高く保ちながら、そのピークの位置をゲートエッジから

内部に奥深く入り込んだ場所にシフトさせている。その結果、電界強度のピーク位置付近で大量に発生するホットエレクトロンを効率的に浮遊ゲートに注入することが可能になる。データ書き込みの観点からは、浮遊ゲート下におけるドレイン領域の不純物濃度はドレイン領域からチャネル領域にかけて急峻に低下するような分布を持つことが好ましい。

【0046】(第1の実施形態)以下に、図2を参照しながら本発明による不揮発性半導体記憶装置の第1の実施形態を説明する。本実施形態の記憶装置は、nチャネルMOS型フラッシュEEPROMである。

【0047】本実施形態の不揮発性半導体記憶装置は、図2に示されるように、p型半導体領域(p型不純物濃度:例えば $5 \times 10^{15}$ から $5 \times 10^{16} \text{ cm}^{-3}$ )を含む単結晶シリコン基板1のp型半導体領域に形成されている。単結晶シリコン基板1は、不図示のpチャネルMOSトランジスタが形成されたn型ウェルを含んでいても良い。図では、簡単化のため、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。基板上には、これらのメモリセルにデータを書き込み、またはメモリセルからデータを読み出すための周辺回路等(不図示)が設けられている。

【0048】各メモリセルは、シリコン基板1上に形成されたトンネル絶縁膜(第1の絶縁膜)2と、トンネル絶縁膜2上に形成された浮遊ゲート電極(第1のゲート電極)3と、浮遊ゲート電極3上に形成された容量絶縁膜(第2の絶縁膜)4と、容量絶縁膜4上に形成された制御ゲート電極(第2のゲート電極)5とを備えている。トンネル絶縁膜2は、好ましくは、シリコン基板1の表面を熱酸化することによって形成される。トンネル絶縁膜2の厚さは、典型的には、約8から約10nmである。浮遊ゲート電極3は、例えば多結晶シリコン膜から形成される。浮遊ゲート電極3の厚さは、典型的には約100から約200nmである。容量絶縁膜4は、例えばONO膜から形成され得る。容量絶縁膜4の厚さは、約15から約22nmである。制御ゲート電極5は、例えば多結晶シリコン膜から形成され、その厚さは、約150から約300nmである。これらの電極は、多結晶シリコン膜以外の導電性膜から形成されてもよい。

【0049】このメモリセルは、シリコン基板1内に形成されたn型ソース領域11aおよびドレイン領域11bと、シリコン基板1内に形成され、ソース領域11aとドレイン領域11bとの間に位置するチャネル領域とを備えている。本実施形態におけるソース領域11aおよびドレイン領域11bの不純物濃度は、シリコン基板1の表面近傍において $5 \times 10^{19}$ から $5 \times 10^{20} \text{ cm}^{-3}$ である。チャネル領域の不純物濃度は、シリコン基板1の表面近傍において $5 \times 10^{16}$ から $5 \times 10^{17} \text{ cm}^{-3}$ で

ある。

【0050】本実施形態の装置に特徴的な点は、浮遊ゲート電極3がドレイン領域11bの一部分（以下、「オーバーラップ部分」と称する）とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていることにある。均一領域の基板表面における不純物濃度は、 $5 \times 10^{19}$ から $5 \times 10^{20} \text{ cm}^{-3}$ である。均一領域のチャネル長方向に沿って計測したサイズ（ $L_{UNI}$ ）は、本実施形態では、50nmから100nmの範囲にある。オーバーラップ部分のチャネル長方向に沿って計測したサイズ（ $L_{OVR}$ ）は、本実施形態の場合、 $L_{UNI}$ よりも70nm程度大きい。オーバーラップ長（ $L_{OVR}$ ）は、本実施形態のチャネル長（ $L_{ch}$ ：400nm）の約40%に相当する。

【0051】従来の不揮発性半導体記憶装置においても、浮遊ゲート電極103がドレイン領域の一部分とオーバーラップしているが、そのオーバーラップ部分は、浮遊ゲート電極103の形成後に浮遊ゲート電極103に対して自己整合的に注入された不純物がシリコン基板101内を横方向に熱拡散することによって形成されたものである。従って、そのオーバーラップ部分の不純物濃度は、浮遊ゲート電極103のエッジ直下位置からチャネル領域の内部に向かって単調に減少している。言い換えると、本実施形態の「均一領域」は、従来の不揮発性半導体記憶装置におけるオーバーラップ部分内には実質的に存在していない。また、従来の場合、オーバーラップ部分のチャネル長方向に沿って計測したオーバーラップ長（ $L_{OVR}$ ）は、せいぜいチャネル長の15%程度以下しかない。

【0052】本実施形態の不揮発性半導体記憶装置は、浮遊ゲート電極3の下方において、従来技術から区別される不純物アロファイルを有しており、そのことによって、以下のような顕著な効果が達成される。

【0053】本不揮発性半導体記憶装置では、ドレイン領域11bの一部分が浮遊ゲート電極3の下に横方向へ深く延長しているため、データ書き込み時にシリコン基板1の表面に形成されるチャネル長方向電界の強度ピークの位置（最大電界強度点）が、浮遊ゲート電極3のエッジからチャネル領域の中央部に向かってシフトする。

【0054】図3は、ドレイン領域11bのオーバーラップ部分の断面構造、その部分の不純物濃度分布、および電界強度分布を模式的に示している。浮遊ゲート電極3のドレイン側エッジからチャネル領域の中央部に向かって長さ $L_{UNI}$ の領域において、ドレイン領域の表面不純物濃度 $N_d$ は横方向にほぼ一定である。この領域が「均一領域」である。オーバーラップ部分のうち均一領域を除いた領域では、図3に示されるように、ドレイン領域11bの表面不純物濃度 $N_d$ はチャネル領域の中央部に向かって単調に減少している。ドレイン領域11b

とp型半導体領域との間に形成されるpn接合の半導体表面から計測した深さ（接合深さ） $X_j$ は、ドレイン領域11bの厚さに相当している。本実施形態では、この接合深さ $X_j$ よりもオーバーラップ長 $L_{OVR}$ が大きい。図3には、データ書き込み時にシリコン基板1とトンネル絶縁膜2との界面に形成されるチャネル長方向電界の強度 $E$ の空間的分布が示されている。この電界強度のピークは、シリコン基板1とトンネル絶縁膜2との界面において、p型半導体領域とn型半導体領域とが接する接合部分に位置している本実施形態によれば、均一領域が浮遊ゲート電極3の下方に存在しているため、不純物濃度の低下を抑制しながら、ドレイン領域11bを浮遊ゲート電極3の下に横方向へ深く延長することができる。このドレイン領域の延長部分を本願明細書では「N-エクステンション」と呼ぶ場合がある。このN-エクステンションの不純物濃度が十分に高いと、ドレイン領域11bの先端部分でもドレイン電位が高く維持され、ドレイン領域11bの先端部におけるチャネル長方向電界の強度ピークを大きくする。このため、与えられた電圧条件のもとでのホットエレクトロンの発生レートが増加する。このことは、逆に、ドレイン領域に与える電圧を低下させても、十分な大きさのホットエレクトロン発生レートをもたらす得る。

【0055】図4(a)は、本実施形態においてシリコン基板1の表面近傍に形成されるチャネル長方向電界の強度分布曲線41を模式的に示している。図4(b)は、図1の従来の不揮発性半導体記憶装置においてシリコン基板101の表面に形成されるチャネル長方向電界の強度分布曲線43を模式的に示している。図4(a)および(b)からわかるように、本実施形態によれば、シリコン基板1の表面に形成されるチャネル長方向電界の強度ピークの位置PをゲートエッジOからチャネル領域の中央部に近づけ、しかも、そのピークの高さを大きく維持することができる。その結果、浮遊ゲート電極3がホットエレクトロンの発生領域を広く覆うことになり、発生したホットエレクトロンを効率良く浮遊ゲート電極3によってとらえることが可能になる。従来のように電界強度ピークの位置P'がゲートエッジOの近傍に位置している場合、発生したホットエレクトロンの一部しか浮遊ゲート電極103に注入されず、大部分がドレイン領域110に流れ込んでいと考えられる。これに対して、本実施形態では、ホットエレクトロンの発生位置を意図的に浮遊ゲート電極3のエッジ近傍からチャネル領域の中央部方向にシフトさせ、それによって、発生したホットエレクトロンの多くを浮遊ゲート電極3に注入させることができるので、注入効率が著しく改善される。

【0056】なお、オーバーラップ部分が「均一領域」を有していない場合、言い換えると、オーバーラップ部分内の不純物濃度がチャネル長方向に沿って単調に減少

している場合は、ドレイン領域11bの端部の電位が低下するため、図4(a)の破線42に示されるような低い電界ピークしかえられない。

【0057】本実施形態の装置によれば、書き込み動作は、例えばドレイン領域11bに5V、制御ゲート電極5に7から9V、ソース領域11aおよびシリコン基板1に0Vの電圧を印加した状態で実行される。この場合、ソース領域11aから出た電子は、チャネル領域内をドレイン領域11bに向かって移動しながらチャネル領域内のチャネル長方向電界からエネルギーを獲得し、ドレイン領域11bの端部における高電界領域でホットエレクトロンとなり、シリコン基板1とトンネル絶縁膜2との間の障壁を超えて浮遊ゲート電極3に注入される。前述したように、本実施形態の装置によれば、ドレイン領域11bの浮遊ゲート電極3によるオーバーラップ部分における不純物濃度が比較的に高く、しかも、オーバーラップ長が長い。このため、浮遊ゲート電極3のエッジ直下からチャネル領域の中央部に向かって大きくシフトした位置で、電子のエネルギーが充分に高くなるので、エネルギーの高い電子が浮遊ゲート電極3に効率的に注入される。

【0058】本不揮発性半導体記憶装置によれば、消去動作は、制御ゲート電極5に-6から-8V、ドレイン領域11bに5から6V、ソース領域11aおよびシリコン基板1に0Vの電圧を印加した状態で実行される。この場合、トンネル絶縁膜2内を流れるトンネル電流によって浮遊ゲート電極3内の電子をドレイン領域11bに引き抜く。電子のトンネル現象はトンネル絶縁膜2内で最も強い電界が形成される部分で生じるため、上記電圧印加状態では、電子の引き抜きが浮遊ゲート電極3のドレイン側エッジ部分で起こる。書き込み動作時における電子注入の位置と、消去動作時における電子のトンネル位置とが異なるため、トンネル絶縁膜2の劣化が少なく、信頼性に優れる。なお、消去動作は、浮遊ゲート電極3に蓄積された電子をソース領域11aへ引き抜くことによって実行することも可能である。

【0059】以下に、図5(a)~(d)を参照しながら、本実施形態の装置の製造方法を説明する。

【0060】まず、図5(a)に示されるように、シリコン基板1の表面のうちチャネル領域となる部分を覆うマスク51を形成する。このマスク51は、例えばリソグラフィ工程で形成されたレジストパターンであってよい。マスク51の形成前に、シリコン基板1の表面を薄い酸化膜50で保護しておくことが好ましい。チャネル長方向に沿って計測したマスク51のサイズは、例えば0.3から0.4 $\mu\text{m}$ である。

【0061】次に、シリコン基板1の表面のうちマスク51に覆われていない領域に対してn型不純物としてヒ素(As)イオンを注入する。イオン注入の加速エネルギーは、例えば20から40keV、ドーズ量は、例えば5

$\times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ である。こうして、図5(b)に示すように、ソース領域11aおよびドレイン領域11bが基板1に形成される。

【0062】マスク51および保護酸化膜50を除去した後、図5(c)に示されるように、熱酸化法によって半導体基板1の表面にトンネル絶縁膜2を形成する。この後、浮遊ゲート電極3となる第1の多結晶シリコン膜3'を化学的気相成長法によってトンネル絶縁膜2上に堆積する。第1の多結晶シリコン膜3'上に容量絶縁膜4を形成した後、制御ゲート電極5となる第2の多結晶シリコン膜5'を化学的気相成長法によって容量絶縁膜4上に堆積する。

【0063】次に、図5(d)に示されるように、公知のリソグラフィ技術を用いてゲート電極のパターンを規定するレジストマスク52を第2の多結晶シリコン膜5'上に形成した後、公知のドライエッチング技術を用いて、第2の多結晶シリコン膜、容量絶縁膜4および第1の多結晶シリコン膜3'を順次パターニングする。こうして、図2の装置が形成される。

【0064】なお、レジストマスク52は、ソース領域11aの一部、チャネル領域、およびドレイン領域11bの一部を覆うように形成される。ドレイン領域11bのうちレジストマスク52によって覆われる部分が、ドレイン領域11bのオーバーラップ部分のサイズ(オーバーラップ長 $L_{\text{OVR}}$ )を規定する。

【0065】不純物活性化のためのアニールは、上記n型不純物イオンの注入後における任意の段階で実行される。このアニールによって、ソース領域11aおよびドレイン領域11bに含まれるn型不純物は四方に拡散する。その拡散長は、上記アニールおよびその他の高温プロセスの条件によって変化するが、本実施形態の装置を製造する場合、50nmより小さい。この値は、オーバーラップ部分のチャネル長方向に沿って計測したサイズ、すなわちオーバーラップ長( $L_{\text{OVR}}$ )よりも小さい。また、本実施形態のオーバーラップ部分は、横方向拡散によってではなく、シリコン基板1の表面から注入された不純物によって形成されるため、オーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれることになる。なお、「均一領域」の不純物濃度がシリコン基板1の表面から深さ方向に沿って変化していることは言うまでもない。オーバーラップ部分は、均一領域の他に、不純物の横方向拡散によって不純物濃度がチャネル長方向に沿って変化する部分を端部に含んでいる。

【0066】本実施形態の製造方法によれば、浮遊ゲート電極3の形成前に、ソース領域11aおよびドレイン領域11bを形成している。このことによって、不純物濃度がチャネル長方向に沿って横方向にほぼ一定の「均一領域」を含むオーバーラップ部分を浮遊ゲート電極3の下方に配置することが可能になる。従来のように、浮

10

20

30

40

50

遊ゲート電極3の形成後にソース領域11aおよびドレイン領域11bを形成する場合は、ゲート電極をマスクとして注入された不純物の横方向拡散によってオーバーラップ部分が形成されるため、オーバーラップ部分の不純物濃度はチャンネル長方向に沿って単調に低下してしまうことになる。また、従来の製造方法による場合、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ(L<sub>ovr</sub>)は、ドレイン領域11bの不純物の拡散長程度に過ぎない。なお、本実施形態の方法によっても、不純物は水平横方向に拡散するため、均一領域は、不均一領域に対する不純物の供給源として機能する。このため、均一領域の内部でも、厳密には、不純物濃度がチャンネル領域に向かって僅かに減少しているものと考えられる。

【0067】図2の装置は、現実には、図示されていない層間絶縁膜に覆われており、その層間絶縁膜の中および/または上に形成された配線によって、不図示の周辺回路に電気的に接続されている。これらの層間絶縁膜、配線および周辺回路の構造は、公知のものをを用いることができる。

【0068】このような不揮発性半導体記憶装置によれば、書き込み速度を速く(例えば、10ナノ秒以下に)するかわりに、書き込み電圧を低く(例えば、4.0V以下に)することもできる。また、不純物濃度の分布がチャンネル領域の中央部を垂直に横切る面に対してほぼ対称な構造を有しているため、ソース/ドレインのいずれか一方に印加する電圧を制御することによって、書き込み、消去および読みだし動作を実行することが可能になる。このことは、回路設計の自由度を著しく向上させる。

【0069】(第2の実施形態)以下、図6を参照しながら本発明による不揮発性半導体記憶装置の第2の実施形態を説明する。本実施形態の記憶装置は、nチャンネルMOS型フラッシュEEPROMである。

【0070】図6に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板1のp型半導体領域に形成されている。図6では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0071】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図2の装置とほとんど同じ構成であるので、両者に共通する構造については説明を簡略化し、相違点を詳細に説明することにする。

【0072】図6の装置は、p型半導体領域を含む単結晶シリコン基板1上に形成されたトンネル絶縁膜2と、トンネル絶縁膜2上に形成された浮遊ゲート電極3と、浮遊ゲート電極3上に形成された容量絶縁膜4と、容量絶縁膜4上に形成された制御ゲート電極5とを備えてい

る。これらのゲート電極3および5の側面には、絶縁性サイドウォールが9aおよび9bが形成されている。

【0073】この装置は、シリコン基板1内に形成されたn<sup>+</sup>型高濃度ソース領域11aおよびn<sup>+</sup>型高濃度ドレイン領域11bの他に、シリコン基板1内に形成されたn<sup>-</sup>型低濃度ソース領域6aおよびn<sup>-</sup>型低濃度ドレイン領域6bを備えている。n<sup>-</sup>型低濃度ソース領域6aとn<sup>-</sup>型低濃度ドレイン領域6bとの間にはチャンネル領域が存在している。

10 【0074】本実施形態に特徴的な点は、(1)浮遊ゲート電極3が低濃度ドレイン領域6bの一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャンネル長方向に沿って横方向に一定の「均一領域」が含まれていること、および(2)均一領域の不純物濃度が、ドレイン領域のうち浮遊ゲート電極3によってオーバーラップされていない領域(11b)の不純物濃度よりも低いことにある。言い換えると、本実施形態の記憶装置におけるドレイン領域は、相対的に低濃度の不純物拡散層(6b)と相対的に高濃度の不純物拡散層(11b)とを含んでいる。

20 【0075】本実施形態では、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ(L<sub>ovr</sub>)は、130nm程度であり、均一領域のチャンネル長方向に沿って計測したサイズ(L<sub>uni</sub>)は、100nm程度である。オーバーラップ長L<sub>ovr</sub>は、オーバーラップ部分の厚さ(=その部分の接合深さX<sub>j</sub>=約50nm)よりも大きい。また、オーバーラップ部分のシリコン基板1の表面における不純物濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ であるのに対して、ドレイン領域のうち浮遊ゲート電極3に覆われていない領域の不純物濃度は、

30 これより高く、 $1 \times 10^{20} \text{ cm}^{-3}$ 以上である。

【0076】本実施形態によれば、ドレイン領域のオーバーラップ部分とその他の部分との間で不純物濃度が異なっており、それぞれの部分に対して独立して最適な値を与えることができる。配線と電気的にコンタクトする高濃度ドレイン領域11bの不純物濃度はコンタクト抵抗低減の観点からできるだけ高いことが望まれるが、オーバーラップ部分の不純物濃度をコンタクト領域の不純物濃度と同程度に高くすると、データの消去時にホールがトンネル絶縁膜2中に注入し、トンネル絶縁膜2が劣化しやすくなるという不都合が生じるおそれがある。この不都合を避けるため、本実施形態では、オーバーラップ部分の不純物濃度を上記範囲内の値となるよう低めに設定している。

40 【0077】本実施形態の装置も、第1の実施形態の装置と同様に動作し、第1の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、ソース/ドレインのコンタクト抵抗を低く維持する一方で、消去動作時のトンネル絶縁膜2の劣化を防止するために、オーバーラップ部分の不純物濃度を

21

最適化できるという効果が得られる。

【0078】以下に、図15(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0079】まず、図15(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトリソパターン12を形成した後、シリコン基板1中にヒ素イオンを注入する。フォトリソパターン12の幅(チャンネル長方向に沿って計測したサイズ)は0.3から0.4 $\mu\text{m}$ とする。なお、本実施形態では、ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体領域表面のフォトリソパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'が形成される。

【0080】フォトリソパターン12および保護酸化膜50を除去した後、図15(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅(チャンネル長方向に沿って計測したサイズ)は0.5から0.6 $\mu\text{m}$ とする。

【0081】上記積層ゲート構造のパターニングのためのリソグラフィ工程において、チャンネル領域の中央部を垂直に横切る平面に関して浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度が対称になるように、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせが実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ(オーバーラップ長)は、本実施形態の場合、0.05から0.15 $\mu\text{m}$ となる。上記位置合わせに0.1 $\mu\text{m}$ 程度以下のズレが生じることがあるが、それはデバイス性能に大きく影響しない。

【0082】なお、浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度は、チャンネル領域の中央部を垂直に横切る平面に関して対称になる必要性は必ずしも無い。このことは、後で説明する他の実施形態についても同様である。

【0083】次に、図15(c)に示すように、公知の薄膜堆積技術およびエッチバック技術を用いて絶縁性のサイドウォールスペーサ(厚さ:約100から約150nm)9aおよび9bを積層ゲート構造の側壁に形成

22

した後、シリコン基板1にヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のうち積層ゲート構造が設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。低濃度不純物拡散層6a'および6b'のうち、積層ゲート構造およびサイドウォールスペーサに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6a'および6b'の一部は、低濃度ソース領域6aおよび低濃度ドレイン領域6bとして機能することになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。

【0084】低濃度ソース領域6aおよび低濃度ドレイン領域6bは、上述のように、半導体基板表面から注入された不純物イオンによって形成される。これらの不純物イオンは、注入後に実行される複数の高温プロセス工程時に熱拡散する。このため、最終的に完成した不揮発性半導体記憶装置における低濃度ドレイン領域6bは、注入直後よりも厚くなり、また、その端部はチャンネル領域の中央部に向かって僅かに広がる。また、同様に高濃度ドレイン領域11b中の不純物も拡散するためその端部がチャンネル領域の中央部に向かって僅かに広がり、サイドウォールスペーサ9bの下部にまで進入する。このことはソース領域でも同様に生じる。しかし、このような不純物拡散が生じて、浮遊ゲート電極3によって覆われている低濃度ドレイン領域6bのオーバーラップ部分には、チャンネル長方向に沿ってほとんど不純物濃度に変化しない均一領域が存在する。

【0085】なお、ソース/ドレイン領域の形成が完了した後、層間絶縁膜の形成および多層配線の形成などの公知の製造工程を行い、最終的な不揮発性半導体記憶装置が製造される。

【0086】(第3の実施形態)以下、図7を参照しながら本発明による不揮発性半導体記憶装置の第3の実施形態を説明する。本実施形態の記憶装置も、nチャンネルMOS型フラッシュEEPROMである。

【0087】図7に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板1のp型半導体領域に形成されている。図7では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0088】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図6の装置とほとんど同じ構成であるので、両者に共通する構成について

は説明を省略し、相違点を詳細に説明することにする。

【0089】本実施形態に特徴的な点は、(1)浮遊ゲート電極3がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていること、(2)ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層6bと不純物濃度の比較的高い第2の不純物拡散層11bとを含んでいること、および(3)第1の不純物拡散層6bの「全体」と第2の不純物拡散層11bの「一部」が浮遊ゲート電極3によってオーバーラップされていることにある。

【0090】なお、ソース領域の構成は、ドレイン領域の構成と同様に、不純物濃度の比較的低い第1の不純物拡散層6aと不純物濃度の比較的高い第2の不純物拡散層11aとを含んでおり、第1の不純物拡散層6aの全体と第2の不純物拡散層11aの一部が浮遊ゲート電極3によってオーバーラップされている。

【0091】データ書き込みの際に浮遊ゲート電極3の電位が上昇すると(例えば3.3〜5ボルトに上昇すると)、不純物濃度の比較的低い第1の不純物拡散層6bの少なくとも表面に反転層が形成される。この反転層は、第2の不純物拡散層11bのエッジからチャネル領域に延び、浮遊ゲート電極3の真下に位置する。このような反転層の存在によって、第2の不純物拡散層11bに与えられた高いドレイン電位は、第1の不純物拡散層6bのチャネル領域側エッジに至るまで、ほとんど降下することなく伝達される。

【0092】図8(a)は、データ書き込み時におけるドレイン領域およびその近傍の表面電位(ポテンシャル)を示している。図8(a)からわかるように、データ書き込み時、第1の不純物拡散層6bの表面における電位は、第2の不純物拡散層11bの電位(ドレイン電位:例えば5ボルト)とほぼ等しい値を持ち、第1の不純物拡散層6bとチャネル領域との境界部分で急峻に変化している。このような電位の急峻な変化によって、図4(a)に示すような強い電界ピークが形成される。

【0093】本実施形態では、第1の不純物拡散層6bの全体が浮遊ゲート電極3によって覆われている。このため、浮遊ゲート電極3に正電位を与えることによって第1の不純物拡散層6bに形成した反転層は、とぎれることなく第2の不純物拡散層11bのエッジからチャネル領域にまで延びる。その結果、第2の不純物拡散層11bの高い電位(ドレイン電位)が第1の不純物拡散層6b内でも高い値を維持しながら、チャネル領域に隣接する部分にまで伝達されることになる。

【0094】浮遊ゲート電極3の電位を低下させることによって、強反転層から弱反転層に変化し、さらには(弱)反転層が消えると、図8(b)に示すように、第1の不純物拡散層6bの表面電位(ポテンシャル)はチャネル領域に近づくに従って低下することになる。その

結果、第1の不純物拡散層6bとチャネル領域との境界部分における電界は緩和される。

【0095】図8(a)および(b)を比較すると良くわかるように、第1の不純物拡散層6bは、浮遊ゲート電極3の電位に応じて、第2の不純物拡散層11bの電位をソース領域側に伝達したり、緩和したりする。

【0096】第1の不純物拡散層6bの不純物濃度は、データ書き込み時において第1の不純物拡散層6bの表面に反転層が形成される程度の不純物濃度(例えば $5 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ )であることが好ましい。このような第1の不純物拡散層6bは、浮遊ゲート電極3に適当な電位が与えられたとき、反転層を形成することによって、高い不純物濃度を持つ第2の不純物拡散層11bと電気的に同様の機能を発揮することができる。

【0097】本実施形態では、ドレイン領域が、浮遊ゲート電極3の電位にかかわらず実質的に一定のドレイン電位を示す高不純物濃度部分(第2の不純物拡散層11b)と、浮遊ゲート電極3の電位に応じて表面電位がドレイン電位に等しいレベルからドレイン電位よりも低いレベルにまで変化する低不純物濃度部分(第1の不純物拡散層6b)とを含み、しかも、第1の不純物拡散層6bの全体および第2の不純物拡散層11bの一部が浮遊ゲート電極3によってオーバーラップされている。このような構成によって、データ書き込み時において、浮遊ゲート電極3のエッジからチャネル領域の中央部に向かってシフトした位置に強い電界を形成することが可能になる。

【0098】なお、データ消去時においては、第2の不純物拡散層11bに高い電位(ドレイン電位)を供給しながら浮遊ゲート電極3にゼロまたは負の電位を与える。このとき、第1の不純物拡散層6bがドレイン電位を緩和するため、バンドベンディングによるバンド間トンネリングが抑制され、ゲート酸化膜2がホールをトラップしてしまうという問題を回避することも可能になる。

【0099】次に、図9(a)および(b)を参照しながら、図7の装置の製造方法を説明する。

【0100】まず、図9(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトリジストパターン12を形成した後、シリコン基板1中にヒ素イオンを注入する。フォトリジストパターン12の幅(チャネル長方向に沿って計測したサイズ)は0.3から0.4  $\mu\text{m}$ とする。なお、本実施形態では、ヒ素イオンの注入加速エネルギーは30から60 keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体領域表面のフォトリジストパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'が形成される。

【0101】フォトリジストパターン12および保護酸化膜50を除去した後、図9(b)に示すように、トン

25

ネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅（チャンネル長方向に沿って計測したサイズ）は0.5から0.6 $\mu\text{m}$ とする。

【0102】上記積層ゲート構造のパターンニングのためのリソグラフィ工程において、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせは、浮遊ゲート電極3が低濃度不純物拡散層6b'の一部とオーバーラップするように実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ（オーバーラップ長）は、本実施形態の場合、約100から150nmとなる。

【0103】次に、パターンニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。高濃度不純物拡散層11aおよび11bは、イオン注入直後に浮遊ゲート電極3によってオーバーラップされなかったとしても、その後の熱処理プロセスを経て横方向に拡散するため、図9

(b)に示すように、高濃度不純物拡散層11aおよび11bの一部が浮遊ゲート電極3によってオーバーラップされる。最終的に、高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。

【0104】低濃度ソース領域6aおよび低濃度ドレイン領域6bは、上述のように、半導体基板表面から注入された不純物イオンによって形成される。これらの不純物イオンは、注入後に実行される複数の高温プロセス工程時に熱拡散する。このため、最終的に完成した不揮発性半導体記憶装置における低濃度ドレイン領域6bは、注入直後よりも厚くなり、また、その端部はチャンネル領域の中央部に向かって僅かに広がる。しかし、このような不純物拡散が生じて、浮遊ゲート電極3によって覆われている低濃度ドレイン領域6bのオーバーラップ部分には、チャンネル長方向に沿ってほとんど不純物濃度が変化しない均一領域が存在する。

【0105】（第4の実施形態）以下、図10を参照し

26

ながら本発明による不揮発性半導体記憶装置の第4の実施形態を説明する。本実施形態の記憶装置も、nチャンネルMOS型フラッシュEEPROMである。

【0106】図10に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板1のp型半導体領域に形成されている。図10では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0107】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図6の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0108】本実施形態に特徴的な点は、（1）浮遊ゲート電極3がドレイン領域の一部とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャンネル長方向に沿って横方向に一定の「均一領域」が含まれていること、および（2）ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層6bと、不純物濃度の比較的高い第2の不純物拡散層11bと、第1および第2不純物拡散層の間に設けられた第3の不純物拡散層8bとを含んでいることにある。なお、ソース領域の構成は、ドレイン領域の構成と同様に、不純物濃度の比較的低い第1の不純物拡散層6aと、不純物濃度の比較的高い第2の不純物拡散層11aと、第1および第2不純物拡散層の間に設けられた第3の不純物拡散層8aとを含んでいる。

【0109】ドレイン領域のオーバーラップ部分の大部分は、不純物濃度が $1 \times 10^{18}$ から $1 \times 10^{19} \text{ cm}^{-3}$ の第1の不純物拡散層6bから形成されており、サイドウォールスペース9bの真下には不純物濃度が $2 \times 10^{18}$ から $2 \times 10^{19} \text{ cm}^{-3}$ の第3の不純物拡散層8bが位置している。図10からわかるように、第3の不純物拡散層8aおよび8bは、浮遊ゲート電極3によって部分的に覆われている。ドレイン領域のそれ以外の部分は不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 以上の第2の不純物拡散層11bから形成されている。

【0110】本実施形態では、オーバーラップ部分のチャンネル長方向に沿って計測したサイズ（ $L_{\text{OVR}}$ ）は、130nm程度であり、均一領域のチャンネル長方向に沿って計測したサイズ（ $L_{\text{UNI}}$ ）は、100nm程度である。オーバーラップ長 $L_{\text{OVR}}$ は、オーバーラップ部分の厚さ（＝その部分の接合深さ $X_j$ ＝約50nm）よりも大きい。

【0111】本実施形態の記憶装置も、第2の実施形態の装置と同様に動作し、第2の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、電子の引き抜きが生じる領域でのn型不純物濃度が図6の装置の場合よりも高いため、消去効率が改善されるという効果が得られる。

50



【0112】以下に、図16(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0113】まず、図16(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトリソパターン12を形成した後、シリコン基板1中にヒ素イオンを注入する。フォトリソパターン12の幅(チャネル長方向に沿って計測したサイズ)は0.3から0.4 $\mu\text{m}$ とする。なお、本実施形態でも、ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のフォトリソパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'が形成される。

【0114】フォトリソパターン12および保護酸化膜50を除去した後、図16(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅(チャネル長方向に沿って計測したサイズ)は0.5から0.6 $\mu\text{m}$ とする。

【0115】上記積層ゲート構造のパターニングのためのリソグラフィ工程において、チャネル領域の中央部を垂直に横切る平面に関して浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度が対称になるように、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせが実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ(オーバーラップ長)は、本実施形態の場合、約100から150nmとなる。

【0116】次に、図16(b)に示すように、パターニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、不純物拡散層8a'および8b'が形成される。低濃度不純物拡散層6a'および6b'のうち、積層ゲート構造に覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には中間レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6a'および6b'の一部は、低濃度ソース領域

6aおよび低濃度ドレイン領域6bとして機能するようになる。

【0117】次に、図16(c)に示すように、積層ゲート構造の側壁に絶縁性のサイドウォールスペーサ9aおよび9bを形成した後、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造およびサイドウォールスペーサ9aおよび9bが設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。不純物拡散層8a'および8b'のうち、積層ゲート構造またはサイドウォールスペーサに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、不純物拡散層8a'および8b'の一部は、中濃度ソース領域8aおよび中濃度ドレイン領域8bとして機能するようになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。

【0118】低濃度ソース領域6aおよび低濃度ドレイン領域6bは、上述のように、半導体基板表面から注入された不純物イオンによって形成される。これらの不純物イオンは、注入後に実行される複数の高温プロセス工程時に熱拡散する。このため、最終的に完成した不揮発性半導体記憶装置における低濃度ドレイン領域6bは、注入直後よりも厚くなり、また、その端部はチャネル領域の中央部に向かって僅かに広がる。また、同様に中濃度ドレイン領域8b中の不純物も拡散するためその端部がチャネル領域の中央部に向かって僅かに広がり、浮遊ゲート電極3の下部にまで進入する。このことはソース領域でも同様に生じる。しかし、このような不純物拡散が生じて、浮遊ゲート電極3によって覆われている低濃度ドレイン領域6bのオーバーラップ部分には、チャネル長方向に沿ってほとんど不純物濃度が変化しない均一領域が存在する。その結果、高濃度ドレイン領域11bに配線を介して供給された電位レベルを、比較的に高く維持しながら、チャネル領域と低濃度ドレイン領域6bとの接合部分にまで伝えることが可能になる。このことによって、浮遊ゲート電極3によってカバーされた半導体表面領域のうち、中央部に近い位置において、強い水平方向電界ピークを形成することができるようになる。

【0119】なお、ソース/ドレイン領域の形成が完了した後、層間絶縁膜の形成および多層配線の形成などの公知の製造工程を行い、最終的な不揮発性半導体記憶装置が製造される。

【0120】(第5の実施形態)以下、図11を参照しながら本発明による不揮発性半導体記憶装置の第5の実



施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0121】図11に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板1のp型半導体領域に形成されている。図11では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0122】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図10の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0123】本実施形態に特徴的な点は、(1)浮遊ゲート電極3がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていること、(2)ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層と、不純物濃度の比較的高い第2の不純物拡散層と、第1および第2不純物拡散層の間に設けられた第3の不純物拡散層とを含んでいること、および(3)チャネル領域が、ドレイン領域のオーバーラップ部分に接する位置に形成された相対的に高濃度のp型不純物拡散層7bを含んでいることにある。本実施形態のp型不純物拡散層7bの不純物濃度は $2 \times 10^{17}$ から $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0124】本実施形態の記憶装置も、第4の実施形態の装置と同様に動作し、第4の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、p型半導体領域7bの存在がドレイン端に形成される電界強度を前述の実施形態の場合に比較して増大させ、それによってデータ書き込み時の電子注入効率を更に向上させることができる。

【0125】本実施形態の装置を製造するには、第4の実施形態の製造方法において、前述の図16(a)に示すフォトリソパターン12でシリコン基板1の表面をマスクした後、シリコン基板1に対してボロン(B)等のp型不純物イオンを注入し、それによってp型不純物拡散層7aおよび7bを形成する工程を追加すればよい。このp型不純物イオンの注入工程は、低濃度不純物拡散層6aおよび6bのためのn型不純物イオンの注入工程の前に行っても後に行っても良い。p型不純物イオンの注入条件は、例えば、加速エネルギーが20から40 keV、注入ドーズ量が $5 \times 10^{12}$ から $5 \times 10^{13} \text{ cm}^{-2}$ である。

【0126】(第6の実施形態)以下、図12を参照しながら本発明による不揮発性半導体記憶装置の第5の実施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0127】図12に示されるように、本実施形態の不

揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板1のp型半導体領域に形成されている。図9では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0128】本実施形態の装置は、半導体領域内に形成される不純物拡散層の構成を除けば、図11の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0129】本実施形態に特徴的な点は、(1)浮遊ゲート電極3がドレイン領域の一部分とオーバーラップしており、このオーバーラップ部分の中に、不純物濃度がチャネル長方向に沿って横方向に一定の「均一領域」が含まれていること、(2)ドレイン領域が不純物濃度の比較的低い第1の不純物拡散層6bと、不純物濃度の比較的高い第2の不純物拡散層11bと、第1および第2不純物拡散層の間に設けられた第3の不純物拡散層8bとを含んでいること、(3)チャネル領域が、ドレイン領域のオーバーラップ部分に接する位置に形成された相対的に高濃度のp型不純物拡散層7bを含んでいること、および(4)第2の不純物拡散層11bとp型半導体領域との間に設けられたn型の低濃度不純物拡散層12bを含むことにある。

【0130】このn型低濃度不純物拡散層12bは、第3の不純物拡散層8bの不純物濃度よりも低い不純物濃度を持つ。なお、本実施形態のp型不純物拡散層7bの不純物濃度は、基板表面領域において、 $2 \times 10^{17}$ から $1 \times 10^{18} \text{ cm}^{-3}$ であり、n型低濃度不純物拡散層12bの不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ から $1 \times 10^{19} \text{ cm}^{-3}$ である。

【0131】本実施形態の記憶装置も、第5の実施形態の装置と同様に動作し、第5の実施形態の装置による効果と同様の効果が発揮される。この効果に加えて、本実施形態によれば、n型低濃度不純物拡散層12bの存在がドレイン耐圧を向上させ、接合の寄生容量を低減する。また、ドレイン接合の耐圧が大きいため、データ消去時にリーク電流が減少し、消費電力の低減が達成される。リーク電流の低減は、トンネル絶縁膜2へのホットエレクトロンやホットホールの注入を抑制し、信頼性を更に向上させる。

【0132】以下に、図17(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0133】まず、図17(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトリソパターン12を形成した後、シリコン基板1中にヒ素イオンおよびボロンを注入する。フォトリソパターン12の幅(チャネル長方向に沿って計測したサイズ)は0.3から0.4  $\mu\text{m}$ とする。なお、本実施形態では、ヒ素イオンの注入加速エネルギーは30から60 k

eV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とし、ボロンイオンの注入加速エネルギーは20から40 keV、ドーズ量は $5 \times 10^{12}$ から $5 \times 10^{13} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のフォトリソパターン12で覆われていない領域に低濃度不純物拡散層6a'および6b'およびp型不純物拡散層7a'および7b'が形成される。イオン注入の条件は、シリコン基板1の表面におけるn型不純物濃度がp型不純物濃度よりも大きくなるようにするとともに、基板表面から計測した低濃度不純物拡散層6a'および6b'の接合深さが、基板表面から計測したp型不純物拡散層7a'および7b'の接合深さよりも浅くなるようにする。

【0134】フォトリソパターン12および保護酸化膜50を除去した後、図17(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅(チャネル長方向に沿って計測したサイズ)は0.5から0.6  $\mu\text{m}$ とする。

【0135】上記積層ゲート構造のパターニングのためのリソグラフィ工程において、チャネル領域の中央部を垂直に横切る平面に関して浮遊ゲート電極3と低濃度不純物拡散層6a'および6b'とのオーバーラップの程度が対称になるように、積層ゲート構造と低濃度不純物拡散層6a'および6b'との位置あわせが実行される。浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップ部分のサイズ(オーバーラップ長)は、本実施形態の場合、0.05から0.15  $\mu\text{m}$ となる。

【0136】次に、図17(b)に示すように、パターニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60 keV、ドーズ量は $5 \times 10^{13}$ から $5 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、n型の不純物拡散層8a'および8b'が形成される。低濃度不純物拡散層6a'および6b'のうち、積層ゲート構造に覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には中間レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6a'および6b'の一部は、低濃度ソー

ス領域6aおよび低濃度ドレイン領域6bとして機能するようになる。また、p型不純物拡散層7a'および7b'のうち、浮遊ゲート電極3によって覆われている部分は、p型不純物拡散層7aおよび7bとして残る。

【0137】次に、図17(c)に示すように、積層ゲート構造の側壁に絶縁性のサイドウォールスペーサ9aおよび9bを形成した後、ヒ素イオンおよびリン(P)イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60 keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15} \text{ cm}^{-2}$ とする。リンイオンの注入加速エネルギーは40から60 keV、ドーズ量は $5 \times 10^{12}$ から $5 \times 10^{13} \text{ cm}^{-2}$ とする。ヒ素イオン注入によって、半導体表面のうち積層ゲート構造およびサイドウォールスペーサ9aおよび9bが設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。不純物拡散層8a'および8b'のうち、積層ゲート構造またはサイドウォールスペーサ9aおよび9bに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、不純物拡散層8a'および8b'の一部は、中濃度ソース領域8aおよび中濃度ドレイン領域8bとして機能するようになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。また、上記イオン注入によって注入されたリンによって、n型低濃度不純物拡散層12aおよび12bが形成される。リンの不純物拡散係数は、ヒ素の不純物拡散係数よりも大きいため、注入後に行われる熱処理工程で、n型低濃度不純物拡散層12aおよび12bはサイドウォール9aおよび9bの下方にも拡張する。

【0138】(第7の実施形態)以下、図13を参照しながら本発明による不揮発性半導体記憶装置の第7の実施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0139】図13に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板のp型半導体領域に形成されている。図13では、単一のメモリセルしか記載されていないが、現実には、多数のメモリセルが同一基板上に集積されている。

【0140】本実施形態の装置は、半導体領域内に形成される不純物拡散層の非対称構成を除けば、図12の装置とほとんど同じ構成であるので、両者に共通する構造については説明を省略し、相違点を詳細に説明することにする。

【0141】本実施形態の装置と図12の装置との間にある差異は、本装置のドレイン領域の構造が図12の装置のそれを同じ構造を有しながら、そのソース領域から

10

20

30

40

50

p型不純物拡散層7aが除かれた構造を有している点にある。

【0142】本実施形態の装置では、書き込み動作をドレイン側で行い、消去動作をソース側で行うことができる。このため、形成する電界強度を更に大きくすることができ、それによって注入効率をいっそう向上させることが可能である。

【0143】消去動作時には、制御ゲート電極5に-6から-8V、ソース領域11aに5から6V、ドレイン領域11bおよび基板に0Vの電圧を印加し、トンネル絶縁膜2を流れるトンネル電流によって電子を浮遊ゲート電極3からソース領域に引き抜く。この場合、上記電圧印加条件下でトンネル絶縁膜2に形成される最も電界強度の強い部分で電子のトンネリングが生じる。電子の引き抜きは、ソース領域で行われるので、書き込み（電子の注入）とは異なった場所になり、トンネル絶縁膜2の劣化が少なく信頼性に優れている。

【0144】なお、ドレイン側にのみp型不純物拡散層7bを設けるには、p型不純物拡散層7bを形成するための不純物イオン注入工程の前に、ソース側をレジストパターンによって覆っておけばよい。この点以外については、図17(a)から(c)を参照して説明した製造方法と同様の製造方法によって図13の装置を製造することができる。

【0145】（第8の実施形態）以下、図14を参照しながら本発明による不揮発性半導体記憶装置の第8の実施形態を説明する。本実施形態の記憶装置も、nチャネルMOS型フラッシュEEPROMである。

【0146】図14に示されるように、本実施形態の不揮発性半導体記憶装置は、p型半導体領域を含む単結晶シリコン基板のp型半導体領域に形成されている。図14では、単一のメモリスルしか記載されていないが、現実には、多数のメモリスルが同一基板上に集積されている。

【0147】本実施形態の装置と図13の装置との間にある差異は、本装置のドレイン領域の構造が図13の装置のそれと同じ構造を有しながら、そのソース領域から低濃度不純物拡散層6aが更に除かれた構造を有している点にある。

【0148】本実施形態においても、消去のための電子の引き抜きをソース側で行う。このため、ドレイン領域に印加される電圧は、例えば5V程度と低く、n型低濃度不純物拡散層6bおよびp型不純物拡散層7bの不純物濃度を、それぞれ、第5および6の実施形態の装置の不純物濃度よりも高くしても、ドレイン側の耐圧低下はほとんど問題にならない。このため、本実施形態では、低濃度不純物拡散層6bおよびp型不純物拡散層7bの不純物濃度を、それぞれ、 $1 \times 10^{19}$ から $1 \times 10^{20} \text{ cm}^{-3}$ および $1 \times 10^{17}$ から $1 \times 10^{18} \text{ cm}^{-3}$ に設定している。低濃度不純物拡散層6bの不純物濃度が高い

ので、同一のドレイン電圧を高濃度ドレイン領域11bに印加しても、チャネル領域内に形成される電界の強度が上昇し、注入効率が向上する。

【0149】消去動作においては制御ゲート電極5に-6から-8V、ソース領域11aに5から6V、ドレイン領域11bおよびシリコン基板1に0Vの電圧を印加し、トンネル酸化膜2を流れるトンネル電流によって電子を浮遊ゲート電極3からソース領域に引き抜く。この場合も、電子の引き抜きはソース側で行われるので、書き込み（電子の注入）とは異なった場所でトンネリングが生じ、トンネル絶縁膜2の劣化が少なく信頼性に優れている。また、n型低濃度不純物拡散層12aの存在がソース接合の耐圧を改善し、消去動作時のリーク電流を小さくする。このため、消費電力の低減が図れる。リーク電流の低減は、トンネル絶縁膜2へのホットエレクトロンおよびホットホールの注入を抑制するので、信頼性を向上させる。

【0150】以下に、図18(a)～(c)を参照しながら、本実施形態の記憶装置の製造方法を説明する。

【0151】まず、図18(a)に示すように、表面が保護酸化膜50に覆われたシリコン基板1上にフォトリジストパターン12を形成した後、シリコン基板1中にヒ素イオンおよびボロンを注入する。フォトリジストパターン12の幅（チャネル長方向に沿って計測したサイズ）は、活性領域のうちチャネル領域となる部分およびソース領域となる部分を覆うように形成される。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とし、ボロンイオンの注入加速エネルギーは20から40keV、ドーズ量は $1 \times 10^{13}$ から $1 \times 10^{14} \text{ cm}^{-2}$ とする。このイオン注入によって、シリコン基板1の表面のフォトリジストパターン12で覆われていない領域に低濃度不純物拡散層6b'およびp型不純物拡散層7b'が形成される。

【0152】フォトリジストパターン12および保護酸化膜50を除去した後、図18(b)に示すように、トンネル絶縁膜2、浮遊ゲート電極3、容量絶縁膜4および制御ゲート電極5からなる積層ゲート構造を形成する。この積層ゲート構造は、熱酸化法によってトンネル絶縁膜2を形成する工程、浮遊ゲート電極3となる第1の多結晶シリコン膜を化学的気相成長法によってトンネル絶縁膜2上に堆積する工程、第1の多結晶シリコン膜上に容量絶縁膜4を形成する工程、制御ゲート電極5となる第2の多結晶シリコン膜を化学的気相成長法によって容量絶縁膜4上に堆積する工程、およびこれらの多層膜を公知のリソグラフィおよびエッチング技術を用いてパターンニングする工程を含む一連の製造プロセス工程によって作成される。本実施形態では、積層ゲート構造の幅（チャネル長方向に沿って計測したサイズ）は0.5から0.6 $\mu\text{m}$ とする。

【0153】上記積層ゲート構造のパターニングのためのリソグラフィ工程において、浮遊ゲート電極3と低濃度不純物拡散層6b'とのオーバーラップの程度が、50から150nm程度になるように、積層ゲート構造と低濃度不純物拡散層6b'との位置あわせが実行される。

【0154】次に、図18(c)に示すように、パターニングされた積層ゲート構造をマスクとして、ヒ素イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $1 \times 10^{14}$ から $5 \times 10^{14}$  cm<sup>-2</sup>とする。このイオン注入によって、半導体表面のうち積層ゲート構造が設けられている領域以外の領域に、不純物拡散層8a'および8b'が形成される。低濃度不純物拡散層6b'のうち、積層ゲート構造に覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には中間レベルのヒ素イオンドーピングが行われる。このため、低濃度不純物拡散層6b'の一部は、低濃度ドレイン領域6bとして機能するようになる。また、p型不純物拡散層7b'のうち、浮遊ゲート電極3によって覆われている部分は、p型不純物拡散層7bとして残る。

【0155】次に、図18(c)に示すように、積層ゲート構造の側壁に絶縁性のサイドウォールスペーサ9aおよび9bを形成した後、ヒ素イオンおよびリン(P)イオンを注入する。ヒ素イオンの注入加速エネルギーは30から60keV、ドーズ量は $5 \times 10^{14}$ から $5 \times 10^{15}$  cm<sup>-2</sup>とする。リンイオンの注入加速エネルギーは40から60keV、ドーズ量は $1 \times 10^{12}$ から $1 \times 10^{14}$  cm<sup>-2</sup>とする。ヒ素イオンを注入することによって、半導体表面のうち積層ゲート構造およびサイドウォールスペーサ9aおよび9bが設けられている領域以外の領域に、高濃度不純物拡散層11aおよび11bが形成される。不純物拡散層8a'および8b'のう

\*ち、積層ゲート構造またはサイドウォールスペーサ9aおよび9bに覆われている領域には、追加的にヒ素イオンが注入されないが、それ以外の領域には高レベルのヒ素イオンドーピングが行われる。このため、不純物拡散層8a'および8b'の一部は、中濃度ソース領域8aおよび中濃度ドレイン領域8bとして機能するようになるが、他の部分は高濃度不純物拡散層11aおよび11bに変化する。高濃度不純物拡散層11aおよび11bは、それぞれ、高濃度ソース領域および高濃度ドレイン領域として機能することになる。また、注入されたリンによって、n型低濃度不純物拡散層12aおよび12bが形成される。

【0156】以上説明してきたように、第3から第8の実施形態では、低濃度不純物拡散層6bの全体が浮遊ゲート電極3によって覆われる位置に形成され、しかも、低濃度不純物拡散層6bのドレイン側端部に連結する位置にはドレイン電位を低濃度不純物拡散層6bに伝達するための高濃度不純物拡散層が形成されている。このため、データ書き込みに際して浮遊ゲート電極3に高い電位を与えると、浮遊ゲート電極3の電位に応じて、浮遊ゲート電極3の真下に反転層が形成され、その結果、図8(a)に示すような表面電位分布が形成されることになる。

【0157】図19(a)および(b)は、本発明の不揮発性半導体記憶装置において、データ書き込み時およびデータ消去時に電子トンネリングがどこで生じるかを模式的に示す図である。データ書き込み時と消去時に浮遊ゲート電極3等に与えられる電位は、例えば、以下の表1に示す通りである(単位はボルト)。なお、データ書き込み時には、基板に-2〜3ボルトの電位を与えても良い。

【0158】

【表1】

	ソース領域	浮遊ゲート	ドレイン領域
書き込み時	0	+3.3~5	+5
消去時(例1)	0	0	+10
消去時(例2)	0	-5	+5

データ書き込み時、電子は主に矢印Aで示される経路を通過して第1の不純物拡散層6bのチャネル側端部から浮遊ゲート電極3に注入される。これに対して、データ消去時、図19(a)の構造では、浮遊ゲート電極3の電子は主に矢印Bの経路を通過して第2の不純物拡散層11bに引き抜かれる。また、図19(b)の構造では、データ消去時、浮遊ゲート電極3の電子は主に矢印Bの経路を通過して第3の不純物拡散層8bに引き抜かれる。

【0159】このように、本発明の不揮発性半導体記憶装置によれば、書き込み動作時における電子注入の位置と、消去動作時における電子のトンネリング位置とが異

40※なるため、トンネル絶縁膜2の劣化が少なく、信頼性に優れる。また、ドレイン側でデータの書き込みおよび消去を実行することができるため、ソース側にビット線を接続する回路構成を実現でき、読み出しディスタブが無くなる。なお、消去動作は、浮遊ゲート電極3に蓄積された電子をソース領域8aまたは11aへ引き抜くことによって実行することも可能である。

【0160】上記各実施形態では、浮遊ゲート電極3の上方に容量絶縁膜(第2の絶縁膜)4を介して制御ゲート電極5を積層しているが、本発明の不揮発性半導体記憶装置はこのようなスタック型ゲート構造を持つものに

37

限定されない。制御ゲート電極5の少なくとも一部がチャンネル領域上に絶縁膜を介して対向する構造を有する不揮発性半導体記憶装置でも、図8(a)および(b)を用いて説明した現象が生じるため、スタック型ゲート構造を有する不揮発性半導体記憶装置と同様の効果が得られる。

【0161】

【発明の効果】本発明によれば、浮遊ゲート電極がドレイン領域の一部分とオーバーラップし、そのオーバーラップ部分がチャンネル長方向に沿って水平横方向に不純物濃度が一定の領域を含むため、データ書き込み時に半導体領域内に形成される水平横方向電界の強度ピーク位置を浮遊ゲート電極のドレイン側エッジより内部にシフトさせ、それによってホットエレクトロンを効率良く浮遊ゲート電極に注入させることが可能になる。その結果、チャンネルホットエレクトロンの注入効率が向上し、書き込み速度の向上または書き込み電圧の低下が実現する。

【図面の簡単な説明】

【図1】従来のMOS型フラッシュEEPROMの断面図である。

【図2】本発明による不揮発性半導体記憶装置の第1の実施形態の断面図である。

【図3】第1の実施形態の装置のドレイン領域における断面構成、不純物濃度および水平方向電界強度分布を模式的に示す図

【図4】(a)は、第1の実施形態の装置のドレイン領域における水平方向電界強度分布を模式的に示す図、(b)は、従来の装置のドレイン領域における水平方向電界強度分布を模式的に示す図である。

【図5】(a)から(d)は、図2の装置の製造方法を説明するための工程断面図である。

【図6】本発明による不揮発性半導体記憶装置の第2の実施形態の断面図である。

【図7】本発明による不揮発性半導体記憶装置の第3の実施形態の断面図である。

38

【図8】(a)は、データ書き込み時におけるドレイン領域およびその近傍の表面電位(ポテンシャル)を示す図であり、(b)は、浮遊ゲート電極の電位が低下したときのドレイン領域およびその近傍の表面電位(ポテンシャル)を示す図である。

【図9】(a)および(b)は、図7の装置の製造方法を説明するための工程断面図である。

【図10】本発明による不揮発性半導体記憶装置の第3の実施形態の断面図である。

【図11】本発明による不揮発性半導体記憶装置の第4の実施形態の断面図である。

【図12】本発明による不揮発性半導体記憶装置の第5の実施形態の断面図である。

【図13】本発明による不揮発性半導体記憶装置の第6の実施形態の断面図である。

【図14】本発明による不揮発性半導体記憶装置の第7の実施形態の断面図である。

【図15】(a)から(c)は、図6の装置の製造方法を説明するための工程断面図である。

【図16】(a)から(c)は、図7の装置の製造方法を説明するための工程断面図である。

【図17】(a)から(c)は、図9の装置の製造方法を説明するための工程断面図である。

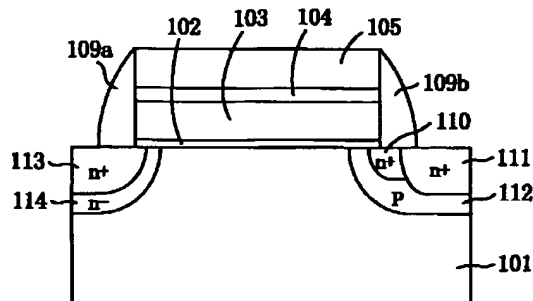
【図18】(a)から(c)は、図11の装置の製造方法を説明するための工程断面図である。

【図19】(a)および(b)は、本発明の不揮発性半導体記憶装置において、データ書き込み時およびデータ消去時に電子トンネリングがどこで生じるかを模式的に示す図である。

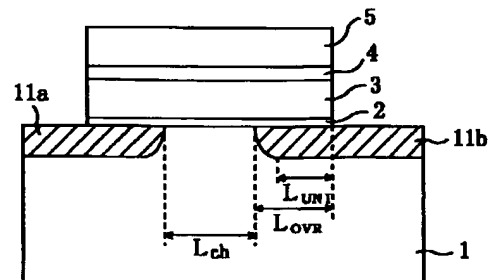
【符号の説明】

- 1 単結晶半導体基板
- 2 トンネル絶縁膜
- 3 浮遊制御ゲート(FG)
- 4 容量絶縁膜
- 5 制御ゲート電極(CG)

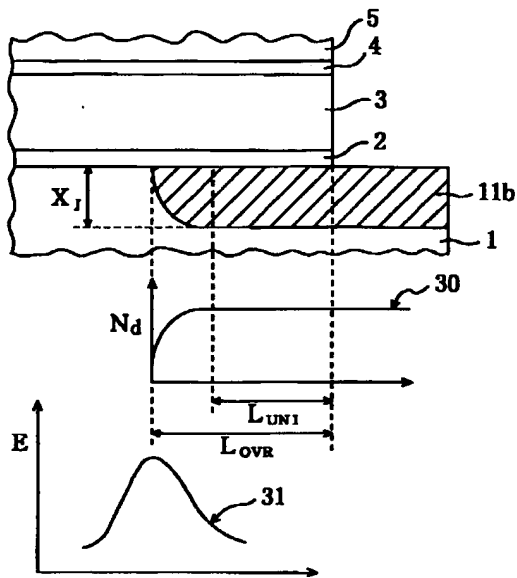
【図1】



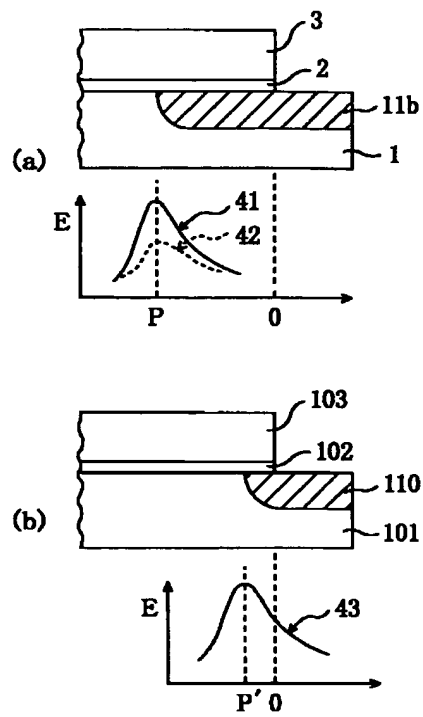
【図2】



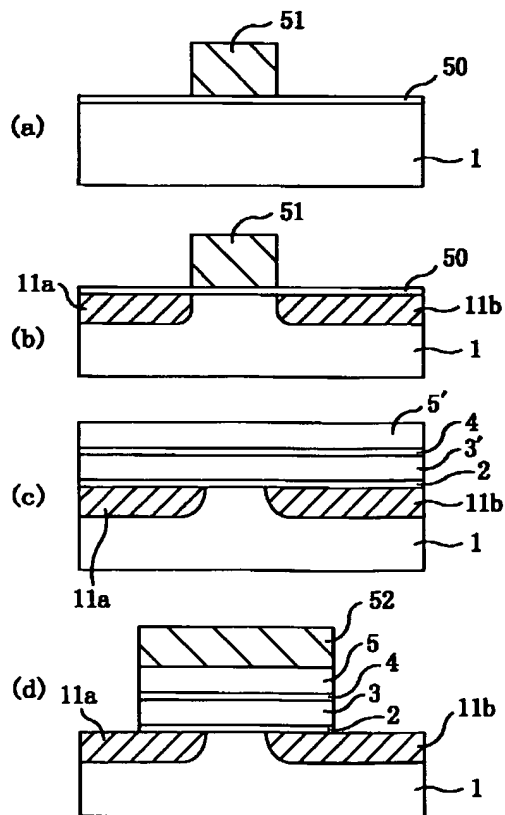
【図3】



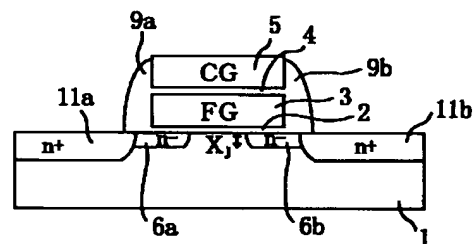
【図4】



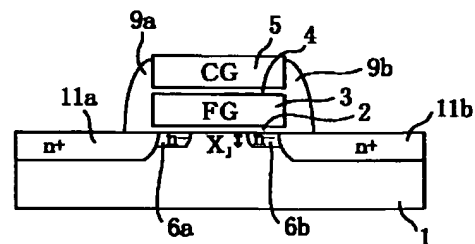
【図5】



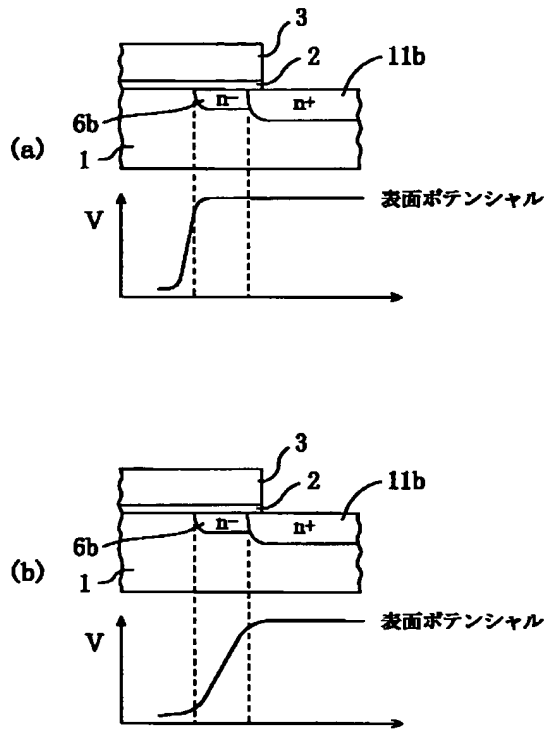
【図6】



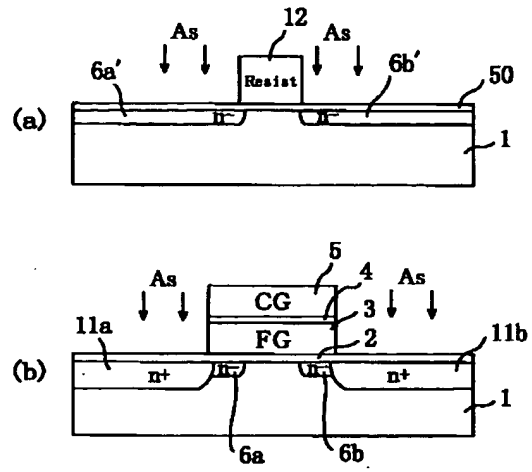
【図7】



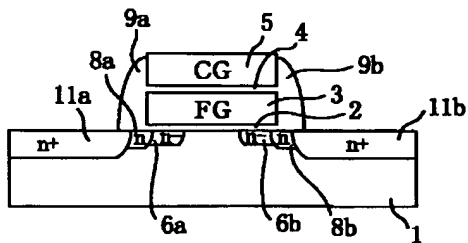
【図8】



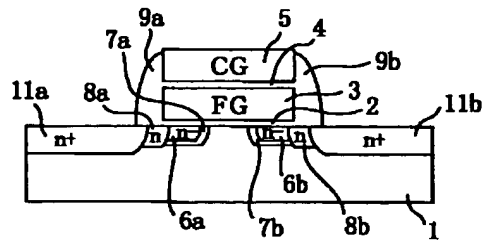
【図9】



【図10】

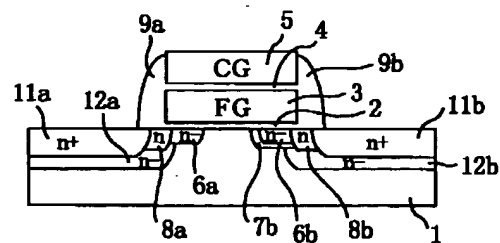
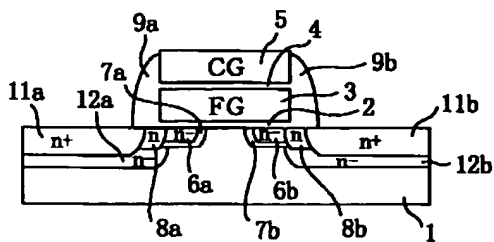


【図11】



【図13】

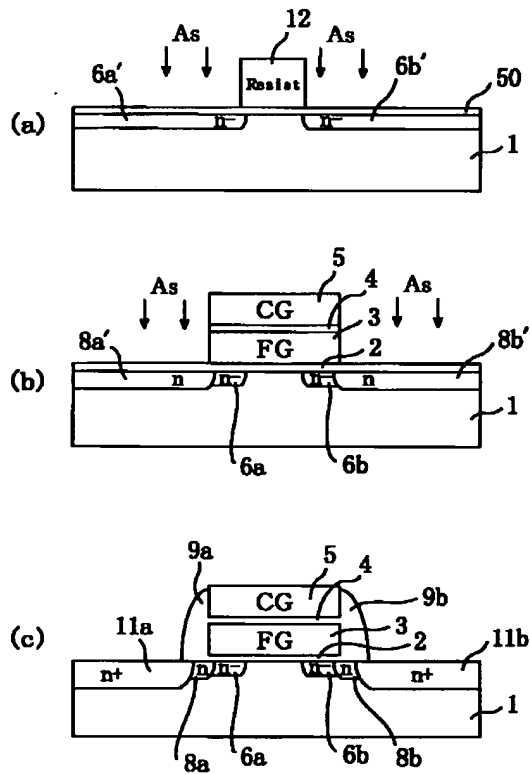
【図12】



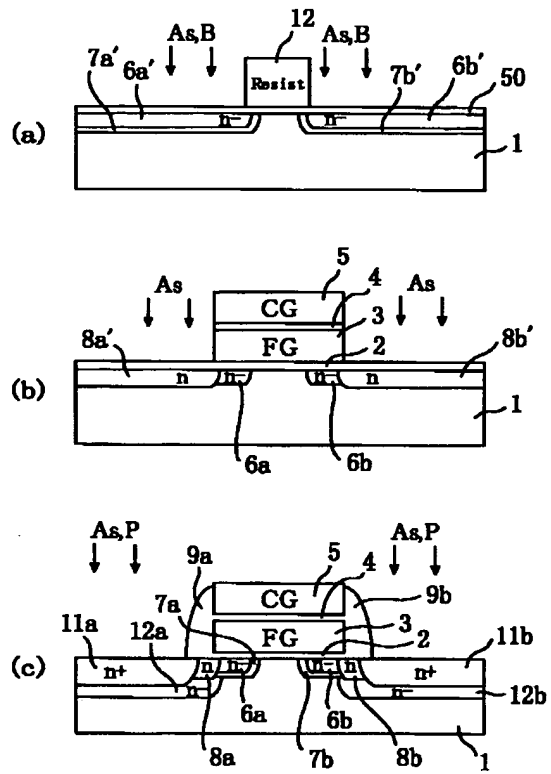




【図16】



【図17】



フロントページの続き

(72)発明者 堀 敦  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 加藤 淳一  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 小田中 紳二  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内  
(72)発明者 小椋 正気  
アメリカ合衆国、ニューヨーク州 12590、  
ワッピンジャーズ フォールス、オールド  
ホープウェル ロード 140、ヘイロー  
エルएसアイ デザイン アンド デバ  
イス テクノロジー インコーポレイテッ  
ド内

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

[0001]

[The technical field to which invention belongs] this invention relates to a nonvolatile semiconductor memory and its manufacture method.

[0002]

[Description of the Prior Art] Flash plate type EEPROM is electrically used widely as a nonvolatile semiconductor memory in which writing and elimination are possible. Drawing 1 shows the cross section of the conventional flash plate type EEPROM. This equipment is equipped with the laminating gate structure formed on the silicon substrate 101, and the complicated impurity diffusion structure formed in the silicon substrate 101 as shown in drawing 1. This gate structure is equipped with the tunnel insulator layer 102 formed on the silicon substrate 101, the floating-gate electrode 103 formed on the tunnel insulator layer 102, the capacity insulator layer 104 formed on the floating-gate electrode 103, and the control gate electrode 105 formed on the capacity insulator layer 104. The insulating sidewalls 109a and 109b are formed in the side of such laminating gate structures. Impurity diffusion structure has 1st n+ type high concentration impurity diffusion layer 110 and 2nd n+ type high concentration impurity diffusion layer 111 in the drain side, and p type impurity diffusion layer 112 is located in the outside of these impurity diffusion layers 110 and 111. On the other hand, n+ type high concentration impurity diffusion layer 113 and n- type low concentration impurity diffusion layer 114 are formed in the source side.

[0003] The on-the-strength peak of the direction electric field of channel length formed near the interface of a silicon substrate 101 and the tunnel insulator layer 102 is located in a part for the joint between 1st n+ type high concentration impurity diffusion layer 110 and p type impurity diffusion layer 112 at the time of the writing of data. A hot electron is formed in this field strength peak position and its near, and it is poured into the floating-gate electrode 103, and is accumulated in it.

[0004] The electron in the floating-gate electrode 103 is drawn out by the tunneling in the tunnel insulator layer 102 in n+ type high concentration impurity diffusion layer 113 by the side of the source at the time of elimination of data.

[0005]

[Problem(s) to be Solved by the Invention] There is a trouble shown below in the above-mentioned conventional nonvolatile semiconductor memory.

[0006] First, as compared with the data drawing speed in DRAM, no less than 2 figures of the speed of the data writing in the conventional flash plate type EEPROM are late. For this reason, at the time of data writing, voltage impressed to a drain and a control gate electrode must be made high, and circuitry and a manufacturing process become complicated by it.

[0007] It is thought that one of the causes that drawing speed is slow is that the efficiency into which a channel hot electron is poured to a floating gate is bad.

[0008] this invention is made in view of the above-mentioned situation, the place made into the purpose improves the injection efficiency of a channel hot electron, and it is in offering the nonvolatile semiconductor memory which enable improvement in drawing speed, or low-ization of write-in voltage, and its manufacture method.

[0009]

[Means for Solving the Problem] The nonvolatile semiconductor memory by this invention The semiconductor region of the 1st conductivity type, The insulator layer formed on the aforementioned semiconductor region, and the gate

electrode formed on the aforementioned insulator layer, The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is the nonvolatile semiconductor memory equipped with the channel field which is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field. the aforementioned gate electrode As for the above of the aforementioned drain field which a part of aforementioned drain field is overlapped, and is overlapped by the aforementioned gate electrode part, high impurity concentration includes the uniform field of simultaneously regularity along the direction of channel length.

[0010] With a desirable operation gestalt, the size measured along the aforementioned channel-length direction of the aforementioned uniform field of the aforementioned drain field is 50nm or more.

[0011] Channel length may be 0.4 micrometers or less, and the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned drain field may be 80nm or more.

[0012] As for the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned drain field, it is desirable that it is larger than the thickness of the above of a part of the aforementioned drain field.

[0013] As for the high impurity concentration of the aforementioned uniform field included in the above of the aforementioned drain field part, it is desirable that it is lower than the high impurity concentration of the field which the aforementioned gate electrode does not overlap among the aforementioned drain fields.

[0014] The 1st impurity diffusion layer by which the aforementioned drain field was formed in the front face of the aforementioned semiconductor region, Connect with the impurity diffusion layer of the above 1st electrically, and the 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included. The above of the aforementioned drain field part is formed from the impurity diffusion layer of the above 1st. the impurity diffusion layer of the above 2nd It is desirable to have the function for it to be in contact with the wiring which supplies drain voltage to the aforementioned drain field, and to transmit the aforementioned drain voltage to the impurity diffusion layer of the above 1st. <BR> [0015] The impurity diffusion layer of the above 3rd is formed in the front face of the aforementioned semiconductor region, the aforementioned drain field interconnects electrically the impurity diffusion layer of the above 1st, and the impurity diffusion layer of the above 2nd, and you may make it have low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 2nd including the 3rd impurity diffusion layer more highly than the high impurity concentration of the impurity diffusion layer of the above 1st.

[0016] As for a part of impurity diffusion layer [ at least ] of the above 3rd of the aforementioned drain field, being overlapped by the aforementioned gate electrode is desirable.

[0017] With the desirable operation gestalt, the aforementioned channel field contains the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part, and the impurity diffusion layer of the 1st conductivity type of the above has high impurity concentration higher than the high impurity concentration of other portions of the semiconductor region of the 1st conductivity type of the above.

[0018] You may make it the aforementioned low concentration impurity diffusion layer have low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 3rd including the low concentration impurity diffusion layer of the 2nd conductivity type by which the aforementioned drain field was prepared between the impurity diffusion layer of the above 2nd, and the aforementioned semiconductor region.

[0019] The aforementioned channel field contains the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part, and the impurity diffusion layer of the 1st conductivity type of the above may have high impurity concentration higher than the high impurity concentration of the semiconductor region of the 1st conductivity type of the above.

[0020] Other nonvolatile semiconductor memories by this invention The semiconductor region of the 1st conductivity type, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is formed the drain field of the 2nd conductivity type formed in the aforementioned semiconductor substrate, and in the aforementioned semiconductor substrate. It is the nonvolatile semiconductor memory equipped with the channel field located between the aforementioned source field and the aforementioned drain field. the aforementioned gate electrode The size measured along the direction of channel length of the above of a part of the aforementioned drain field which a part of aforementioned drain field is overlapped, and is overlapped by the

aforementioned gate electrode is larger than the longitudinal direction diffusion length of the 2nd conductivity-type impurity in the aforementioned drain field.

[0021] As for the size measured along the direction of channel length of the above of a part of the aforementioned drain field overlapped by the aforementioned gate electrode, it is desirable that it is larger than the thickness of the above of part of the aforementioned drain field.

[0022] The above of the aforementioned drain field part may contain the impurity poured in by slanting ion-implantation.

[0023] Channel length may be 0.4 micrometers or less, and the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned drain field may be 80nm or more.

[0024] As for the high impurity concentration of the above of a part of the aforementioned drain field, it is desirable that it is lower than the high impurity concentration of the field which the aforementioned gate electrode does not overlap among the aforementioned drain fields.

[0025] The 1st impurity diffusion layer by which the aforementioned drain field was formed in the front face of the aforementioned semiconductor region, Connect with the impurity diffusion layer of the above 1st electrically, and the 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included. The above of the aforementioned drain field part is formed from the impurity diffusion layer of the above 1st. the impurity diffusion layer of the above 2nd It is desirable to have the function for it to be in contact with the wiring which supplies drain voltage to the aforementioned drain field, and to transmit the aforementioned drain voltage to the impurity diffusion layer of the above 1st.

[0026] The impurity diffusion layer of the above 3rd is formed in the front face of the aforementioned semiconductor region, the aforementioned drain field interconnects electrically the impurity diffusion layer of the above 1st, and the impurity diffusion layer of the above 2nd, and you may make it have low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 2nd including the 3rd impurity diffusion layer more highly than the high impurity concentration of the impurity diffusion layer of the above 1st.

[0027] As for a part of impurity diffusion layer [ at least ] of the above 3rd of the aforementioned drain field, being overlapped by the aforementioned gate electrode is desirable.

[0028] With the desirable operation gestalt, the aforementioned channel field contains the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part, and the impurity diffusion layer of the 1st conductivity type of the above has high impurity concentration higher than the high impurity concentration of the semiconductor region of the 1st conductivity type of the above.

[0029] You may make it the aforementioned low concentration impurity diffusion layer have low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 3rd including the low concentration impurity diffusion layer of the 2nd conductivity type by which the aforementioned drain field was prepared between the impurity diffusion layer of the above 2nd, and the aforementioned semiconductor region.

[0030] With the desirable operation gestalt, the aforementioned channel field contains the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part, and the impurity diffusion layer of the 1st conductivity type of the above has high impurity concentration higher than the high impurity concentration of the semiconductor region of the 1st conductivity type of the above.

[0031] The nonvolatile semiconductor memory by this invention The semiconductor region of the 1st conductivity type, The insulator layer formed on the aforementioned semiconductor region, and the gate electrode formed on the aforementioned insulator layer, The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is the nonvolatile semiconductor memory equipped with the channel field which is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field. The on-the-strength peak position of the direction electric field of channel length formed in the front face of the aforementioned semiconductor region at the time of data writing It has shifted toward the core of the aforementioned channel field rather than the edge of the aforementioned gate electrode, and, moreover, the shift amount is larger than the longitudinal direction diffusion length of the 2nd conductivity-type impurity in the aforementioned drain field.

[0032] The manufacture method of the nonvolatile semiconductor memory by this invention The semiconductor region of the 1st conductivity type, and the insulator layer formed on the aforementioned semiconductor region, The gate

electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is formed in the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the aforementioned semiconductor region. It is the manufacture method of the nonvolatile semiconductor memory equipped with the channel field located between the aforementioned source field and the aforementioned drain field. Before forming the aforementioned source field and the aforementioned drain field, with a mask the aforementioned channel field and the becoming field among the aforementioned semiconductor regions A wrap process, The process which forms the 2nd conductivity-type impurity diffusion layer of the aforementioned drain field which presupposes a part at least and functions in the field which is not covered with the aforementioned mask among the aforementioned semiconductor regions, The process which removes the aforementioned mask, and the gate formation process which forms the aforementioned gate electrode as the aforementioned 2nd conductivity-type impurity diffusion layer which functions as a part of aforementioned drain field reaches in part and covers both aforementioned channel fields are included. The aforementioned gate formation process is performed so that the above of the aforementioned 2nd conductivity-type impurity diffusion layer overlapped by the aforementioned gate electrode part may include the uniform field of high-impurity-concentration regularity in a longitudinal direction along the direction of channel length.

[0033] The manufacture method of other nonvolatile semiconductor memories by this invention The semiconductor region of the 1st conductivity type, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is formed in the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the aforementioned semiconductor region. It is the manufacture method of the nonvolatile semiconductor memory equipped with the channel field located between the aforementioned source field and the aforementioned drain field. Before forming the aforementioned source field and the aforementioned drain field, at least the aforementioned channel field, the becoming field and the aforementioned source field, and the becoming field with a mask among the aforementioned semiconductor regions A wrap process, The process which forms the 2nd conductivity-type impurity diffusion layer of the aforementioned drain field which presupposes a part at least and functions in the field which is not covered with the aforementioned mask among the aforementioned semiconductor regions, The process which removes the aforementioned mask, and the gate formation process which forms the aforementioned gate electrode as covers a part of aforementioned 2nd conductivity-type impurity diffusion layer which functions as a part of aforementioned drain field are included. The aforementioned gate formation process is performed so that the above of the aforementioned 2nd conductivity-type impurity diffusion layer overlapped by the aforementioned gate electrode part may include the uniform field of high-impurity-concentration regularity in a longitudinal direction along the direction of channel length.

[0034] With a desirable operation gestalt, size which the aforementioned gate formation process measured along the aforementioned channel-length direction of the aforementioned uniform field of the aforementioned 2nd conductivity-type impurity diffusion layer is performed so that it may be set to 50nm or more.

[0035] The aforementioned gate formation process may be performed so that the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned 2nd conductivity-type impurity diffusion layer overlapped by the aforementioned gate electrode may be set to 80nm or more.

[0036] As for the aforementioned gate formation process, it is desirable to perform so that the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned 2nd conductivity-type impurity diffusion layer overlapped by the aforementioned gate electrode may become larger than the thickness of the above of part of the aforementioned 2nd conductivity-type impurity diffusion layer.

[0037] It is desirable by pouring the 2nd conductivity-type impurity into the aforementioned semiconductor region by using the aforementioned gate electrode as a mask at least after formation of the aforementioned gate electrode to include further the high-level doping process which completes formation of the aforementioned source field and the aforementioned drain field.

[0038] By pouring in the 2nd conductivity-type impurity by using the aforementioned gate electrode as a mask before the aforementioned high-level doping process after formation of the aforementioned gate electrode at the aforementioned semiconductor region The process which forms other 2nd conductivity-type impurity diffusion layers with high impurity concentration higher than the high impurity concentration of the aforementioned 2nd conductivity-type impurity diffusion layer in a self-adjustment target to the aforementioned gate electrode, After forming the 2nd

conductivity-type impurity diffusion layer besides the above, you may include further the process which forms a sidewall spacer before the aforementioned high-level doping process at the side of the aforementioned gate electrode and the gate electrode of the above 2nd.

[0039] After forming the aforementioned mask, before removing the aforementioned mask, the process which pours the 1st conductivity-type impurity into the field with which the aforementioned mask is not covered among the aforementioned semiconductor regions is included further, and you may make it the aforementioned channel field have the impurity diffusion layer of the 1st conductivity type finally by it in the position which touches the aforementioned 2nd conductivity-type impurity diffusion layer.

[0040] The nonvolatile semiconductor storage of further others by this invention The semiconductor region of the 1st conductivity type, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is formed in the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the aforementioned semiconductor region. It is the nonvolatile semiconductor memory equipped with the channel field located between the aforementioned source field and the aforementioned drain field. the aforementioned drain field High impurity concentration meets in the direction of channel length. The 1st impurity diffusion layer of simultaneously regularity, The 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included, and the aforementioned gate electrode overlaps a part of whole impurity diffusion layer of the above 1st of the aforementioned drain field, and impurity diffusion layer of the above 2nd.

[0041] The thing of the impurity diffusion layer of the above 1st for which an inversion layer is formed in a front face at least at the time of data writing is desirable.

[0042] The nonvolatile semiconductor memory of further others by this invention The semiconductor region of the 1st conductivity type, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is formed in the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the aforementioned semiconductor region. It is the nonvolatile semiconductor memory equipped with the channel field located between the aforementioned source field and the aforementioned drain field. the aforementioned drain field The 1st impurity diffusion layer with the high impurity concentration which is a grade by which an inversion layer is formed at least in a front face at the time of data writing, The 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included, and the aforementioned gate electrode overlaps a part of whole impurity diffusion layer of the above 1st of the aforementioned drain field, and impurity diffusion layer of the above 2nd.

[0043] The nonvolatile semiconductor memory of further others by this invention The semiconductor region of the 1st conductivity type, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, It is formed in the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the aforementioned semiconductor region. It is the nonvolatile semiconductor memory equipped with the channel field located between the aforementioned source field and the aforementioned drain field. the aforementioned drain field The high concentration impurity diffusion layer which shows fixed drain potential substantially irrespective of the potential of the aforementioned gate electrode, The low concentration impurity diffusion layer from which a surface potential distribution changes according to the potential of the aforementioned gate electrode is included, and the aforementioned gate electrode is overlapped at a part of whole low concentration impurity diffusion layer of the aforementioned drain field, and aforementioned \*\*\*\*\* impurity diffusion layer.

[0044]

[Embodiments of the Invention] In the nonvolatile semiconductor memory by the invention in this application, the position in the semiconductor substrate front face of the pn junction formed between a drain field and a channel field has shifted from a gate edge toward the interior of a channel field more greatly than "longitudinal direction diffusion length." Since the drain field was formed after gate formation according to the conventional manufacture method, the gate overlap portion of a drain field is formed when a pouring impurity is spread in a longitudinal direction in a

subsequent process. In this case, the size of an overlap portion is a longitudinal direction diffusion-length grade. [0045] The intensity distribution of the horizontal electric field formed in a channel field at the time of data writing have a peak near [ above-mentioned ] pn junction. In the invention in this application, the position of the peak is shifted to the place which entered the interior of a gate edge shell deep, keeping the peak of this field strength high. Consequently, it becomes possible to pour efficiently into a floating gate the hot electron generated in large quantities near the peak position of field strength. As for the high impurity concentration of the drain field under a floating gate, from a viewpoint of data writing, it is desirable to have the distribution which is missing from a channel field from a drain field, and falls steeply.

[0046] (1st operation gestalt) Below, the 1st operation gestalt of the nonvolatile semiconductor memory by this invention is explained, referring to drawing 2 . The storage of this operation gestalt is an n channel MOS type flash EEPROM.

[0047] The nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of the single-crystal-silicon substrate 1 including a p type semiconductor field (p type high-impurity-concentration: (from  $5 \times 10^{15}$  to  $5 \times 10^{16} \text{cm}^{-3}$  [ for example, ])) as shown in drawing 2 . The single-crystal-silicon substrate 1 may contain n type well in which the non-illustrated p channel MOS transistor was formed. Drawing, although only the single memory cell is indicated for simplification, many memory cells are actually accumulated on the same substrate. On the substrate, the circumference circuit for writing data in these memory cells, or reading data from a memory cell etc. is prepared (un-illustrating).

[0048] Each memory cell is equipped with the tunnel insulator layer (the 1st insulator layer) 2 formed on the silicon substrate 1, the floating-gate electrode (1st gate electrode) 3 formed on the tunnel insulator layer 2, the capacity insulator layer (the 2nd insulator layer) 4 formed on the floating-gate electrode 3, and the control gate electrode (2nd gate electrode) 5 formed on the capacity insulator layer 4. The tunnel insulator layer 2 is preferably formed by oxidizing thermally the front face of a silicon substrate 1. Typically, the thickness of the tunnel insulator layer 2 is about 8 to about 10nm. The floating-gate electrode 3 is formed for example, from a polycrystal silicon film. The thickness of the floating-gate electrode 3 is about 100 to about 200nm typically. The capacity insulator layer 4 may be formed for example, from an ONO film. The thickness of the capacity insulator layer 4 is about 15 to about 22nm. The control gate electrode 5 is formed for example, from a polycrystal silicon film, and the thickness is about 150 to about 300nm. These electrodes may be formed from conductive films other than a polycrystal silicon film.

[0049] This memory cell is equipped with n type source field 11a and drain field 11b which were formed in the silicon substrate 1, and the channel field which is formed in a silicon substrate 1 and located between source field 11a and drain field 11b. The high impurity concentration of source field 11a in this operation gestalt and drain field 11b is  $5 \times 10^{19}$  to  $5 \times 10^{20} \text{cm}^{-3}$  [ near the front face of a silicon substrate 1 ]. The high impurity concentration of a channel field is  $5 \times 10^{16}$  to  $5 \times 10^{17} \text{cm}^{-3}$  [ near the front face of a silicon substrate 1 ].

[0050] The floating-gate electrode 3 overlaps a part of drain field 11b (an "overlap portion" is called hereafter), and a point characteristic of the equipment of this operation gestalt has high impurity concentration in the fixed "uniform field" being included in the longitudinal direction along the direction of channel length in this overlap portion. The high impurity concentration in the substrate front face of a uniform field is  $5 \times 10^{19}$  to  $5 \times 10^{20} \text{cm}^{-3}$ . The size (LUNI) measured along the direction of channel length of a uniform field is in the range of 50 to 100nm with this operation gestalt. In the case of this operation gestalt, the size (LOVR) measured along the direction of channel length of an overlap portion is larger than LUNI about 70nm. Overlap length (LOVR) is equivalent to about 40% of the channel length (Lch:400nm) of this operation gestalt.

[0051] Also in the conventional nonvolatile semiconductor memory, although the floating-gate electrode 103 overlaps a part of drain field, the overlap portion is formed, when the impurity poured into the self-adjustment target to the floating-gate electrode 103 after formation of the floating-gate electrode 103 carries out thermal diffusion of the inside of a silicon substrate 101 to a longitudinal direction. Therefore, the high impurity concentration of the overlap portion is decreasing in monotone toward the interior of a channel field from the edge directly under position of the floating-gate electrode 103. In other words, the "uniform field" of this operation gestalt does not exist substantially in the OPA lap portion in the conventional nonvolatile semiconductor memory. Moreover, in the conventional case, there is overlap length (Lovr) who measured along the direction of channel length of an overlap portion about 15% or less of channel length at most.

[0052] The floating-gate electrode 3 sets the nonvolatile semiconductor memory of this operation gestalt caudad, it has



the impurity profile distinguished from the conventional technology, and the following remarkable effects are attained by that.

[0053] In this nonvolatile semiconductor memory, since a part of drain field 11b has extended deeply to the longitudinal direction under the floating-gate electrode 3, the position (the maximum field strength point) of the on-the-strength peak of the direction electric field of channel length formed in the front face of a silicon substrate 1 shifts from the edge of the floating-gate electrode 3 toward the center section of the channel field at the time of data writing.

[0054] Drawing 3 shows typically the cross-section structure of the overlap portion of drain field 11b, the impurity atom concentration profile of the portion, and the field strength distribution. The surface high impurity concentration  $N_d$  of a drain field is [ in / the field of length  $L_{UNI}$  / toward the center section of the channel field ] simultaneously regularly from the drain side edge of the floating-gate electrode 3 at a longitudinal direction. This field is a "uniform field." Among overlap portions, in the field except the uniform field, as shown in drawing 3, the surface high impurity concentration  $N_d$  of drain field 11b is decreasing in monotone toward the center section of the channel field. The depth (junction depth)  $X_J$  measured from the semiconductor front face of the pn junction formed between drain field 11b and a p type semiconductor field is equivalent to the thickness of drain field 11b. With this operation gestalt, the overlap length  $LOVR$  is larger than this junction depth  $X_J$ . The spatial distribution of the intensity  $E$  of the direction electric field of channel length formed in the interface of a silicon substrate 1 and the tunnel insulator layer 2 at the time of data writing is shown in drawing 3. According to this operation gestalt located in a part for the joint which a p type semiconductor field and a n-type-semiconductor field touch, the peak of this field strength can extend drain field 11b deeply to a longitudinal direction under the floating-gate electrode 3 in the interface of a silicon substrate 1 and the tunnel insulator layer 2, suppressing the fall of high impurity concentration, since the uniform field exists under the floating-gate electrode 3. The extension of this drain field may be called "N-extension" on this application specifications. If the high impurity concentration of this N-extension is fully high, drain potential will be maintained highly and a part for the point of drain field 11b will also enlarge the on-the-strength peak of the direction electric field of channel length in the point of drain field 11b. For this reason, the generating rate of the hot electron under the given voltage conditions increases. Even if this reduces conversely the voltage given to a drain field, it may bring about the hot-electron generating rate of sufficient size.

[0055] Drawing 4 (a) shows typically the intensity-distribution curve 41 of the direction electric field of channel length formed near the front face of a silicon substrate 1 in this operation gestalt. Drawing 4 (b) shows typically the intensity-distribution curve 43 of the direction electric field of channel length formed in the front face of a silicon substrate 101 in the conventional nonvolatile semiconductor memory of drawing 1. According to this operation gestalt, the position P of the on-the-strength peak of the direction electric field of channel length formed in the front face of a silicon substrate 1 can be brought close to the center section of the channel field from the gate edge O, and, moreover, the height of the peak can be greatly maintained so that drawing 4 (a) and (b) may show. Consequently, the floating-gate electrode 3 will cover the generating field of a hot electron widely, and it becomes possible to catch the generated hot electron by the floating-gate electrode 3 efficiently. When position P' of a field strength peak is located near the gate edge O like before, a part of generated hot electron is injected into the floating-gate electrode 103, but it is thought that most is flowing into the drain field 110. On the other hand, with this operation gestalt, the position which a hot electron generates is intentionally shifted in the direction of a center section of a channel field near the edge of the floating-gate electrode 3, and since many of hot electrons generated by it can be made to inject into the floating-gate electrode 3, an injection efficiency is improved remarkably.

[0056] In addition, since the potential of the edge of drain field 11b will fall when the high impurity concentration in a overlap portion is decreasing in monotone along the direction of channel length if it puts in another way when the overlap portion does not have the "uniform field", only a low electric-field peak as shown in the dashed line 42 of drawing 4 (a) is acquired.

[0057] According to the equipment of this operation gestalt, write-in operation is performed where the voltage of 0V is impressed to 5V and the control gate electrode 5 from 7 for example, at drain field 11b at 9V and source field 11a and silicon substrate 1. In this case, the electron which came out of source field 11a acquires energy from the direction electric field of channel length in a channel field, moving toward drain field 11b in the inside of a channel field, serves as a hot electron in the high electric-field field in the edge of drain field 11b, and is injected into the floating-gate electrode 3 over the obstruction between a silicon substrate 1 and the tunnel insulator layer 2. As mentioned above, according to the equipment of this operation gestalt, the high impurity concentration in the overlap portion by the



floating-gate electrode 3 of drain field 11b is high in comparison, and, moreover, overlap length is long. For this reason, since electronic energy becomes high enough, the high electron of energy is efficiently injected into the floating-gate electrode 3 in the position greatly shifted from directly under [ of the floating-gate electrode 3 / edge ] toward the center section of the channel field.

[0058] According to this nonvolatile semiconductor memory, from the control gate electrode -6, elimination operation is performed [ 5 ] by -8V and drain field 11b at 5 to 6V, source field 11a, and a silicon substrate 1, where the voltage of 0V is impressed. In this case, the tunnel current which flows the inside of the tunnel insulator layer 2 draws out the electron in the floating-gate electrode 3 to drain field 11b. Since an electronic tunnel phenomenon is produced in the portion in which the strongest electric field within the tunnel insulator layer 2 are formed, in the state of [ above-mentioned ] voltage impression, electronic drawing happens in the drain side edge portion of the floating-gate electrode 3. Since the position of the electron injection at the time of write-in operation differs from the tunneling position of the electron at the time of elimination operation, there is little degradation of the tunnel insulator layer 2, and it is excellent in reliability. In addition, elimination operation can also be performed by drawing out the electron accumulated at the floating-gate electrode 3 to source field 11a.

[0059] Below, the manufacture method of the equipment of this operation gestalt is explained, referring to drawing 5 (a) - (d).

[0060] First, as shown in drawing 5 (a), the wrap mask 51 is formed for the portion which serves as a channel field among the front faces of a silicon substrate 1. This mask 51 may be the resist pattern formed for example, at the lithography process. It is desirable to protect the front face of a silicon substrate 1 by the thin oxide film 50 before formation of a mask 51. The size of the mask 51 measured along the direction of channel length is 0.3 to 0.4 micrometers.

[0061] Next, arsenic (As) ion is poured in as an n type impurity to the field with which a mask 51 is not covered among the front faces of a silicon substrate 1. The acceleration energy of an ion implantation is 20 to 40keV(s), and a dose is  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$ . In this way, as shown in drawing 5 (b), source field 11a and drain field 11b are formed in a substrate 1.

[0062] After removing a mask 51 and the protection oxide film 50, as shown in drawing 5 (c), the tunnel insulator layer 2 is formed in the front face of the semiconductor substrate 1 by the oxidizing [ thermally ] method. Then, 1st polycrystal silicon film 3' used as the floating-gate electrode 3 is deposited on the tunnel insulator layer 2 by the chemical vapor growth. After forming the capacity insulator layer 4 on 1st polycrystal silicon film 3', 2nd polycrystal silicon film 5' used as the control gate electrode 5 is deposited on the capacity insulator layer 4 by the chemical vapor growth.

[0063] next, the resist mask 52 which specifies the pattern of a gate electrode using well-known lithography technology as shown in drawing 5 (d) -- 2nd polycrystal silicon film 5' -- after forming upwards, patterning of the 2nd polycrystal silicon film, the capacity insulator layer 4, and polycrystal silicon film 3 of \*\* 1st' is carried out one by one using well-known dry etching technology. In this way, the equipment of drawing 2 is formed.

[0064] In addition, the resist mask 52 is formed so that a part of source field 11a [ a part of ], channel field, and drain field 11b may be covered. The portion covered with the resist mask 52 among drain field 11b specifies the size (overlap length LOVR) of the overlap portion of drain field 11b.

[0065] Annealing for impurity activation is performed in the arbitrary stages after pouring of the above-mentioned n type impurity ion. By this annealing, n type impurity contained in source field 11a and drain field 11b is diffused on all sides. Although it changes with the conditions of the above-mentioned annealing and other elevated-temperature processes, the diffusion length is smaller than 50nm, when manufacturing the equipment of this operation gestalt. This value is smaller than the size measured along the direction of channel length of an overlap portion, i.e., overlap length, (LOvr). Moreover, since it is formed with the impurity which the overlap portion of this operation gestalt is not by longitudinal direction diffusion, and was poured in from the front face of a silicon substrate 1, fixed "uniform field" will be included for high impurity concentration in a longitudinal direction along the direction of channel length in an overlap portion. In addition, it cannot be overemphasized that the high impurity concentration of a "uniform field" is changing from the front face of a silicon substrate 1 along the depth direction. The overlap portion contains at the edge the portion from which high impurity concentration changes with the longitudinal direction diffusion of an impurity other than a uniform field along the direction of channel length.

[0066] According to the manufacture method of this operation gestalt, source field 11a and drain field 11b are formed.

before formation of the floating-gate electrode 3. It becomes possible to arrange the overlap portion to which high impurity concentration includes the "uniform field" of simultaneously regularity in a longitudinal direction along the direction of channel length by this under the floating-gate electrode 3. Since an overlap portion is formed like before on longitudinal direction diffusion of the impurity into which the gate electrode was poured as a mask when forming source field 11a and drain field 11b after formation of the floating-gate electrode 3, the high impurity concentration of an overlap portion will fall in monotone along the direction of channel length. Moreover, when based on the conventional manufacture method, the size (LOVR) measured along the direction of channel length of an overlap portion is only the diffusion-length grade of the impurity of drain field 11b. In addition, also by the method of this operation gestalt, since an impurity is diffused in a level longitudinal direction, a uniform field functions as a source of supply of an impurity to an uneven field. For this reason, it is strictly thought also inside a uniform field that high impurity concentration is decreasing slightly toward a channel field.

[0067] Actually, the layer insulation film which is not illustrated is covered with the equipment of drawing 2, and it is electrically connected to the non-illustrated circumference circuit by the wiring formed in the top in the layer insulation film. A well-known thing can be used for the structure of these layer insulation films, wiring, and a circumference circuit.

[0068] According to such a nonvolatile semiconductor memory, write-in voltage can also be made low instead of making drawing speed quick (to for example, 10 or less nanoseconds) (for example, less than [ 4.0V ]). Moreover, since the distribution of high impurity concentration has almost symmetrical structure to the field which crosses the center section of the channel field perpendicularly, by controlling the voltage impressed to either the source/drain, it writes in and it becomes possible to perform elimination and readout operation. This raises the flexibility of a circuit design remarkably.

[0069] (2nd operation gestalt) The 2nd operation gestalt of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 6. The storage of this operation gestalt is an n channel MOS type flash EEPROM.

[0070] As shown in drawing 6, the nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of the single-crystal-silicon substrate 1 including a p type semiconductor field. Although only the single memory cell is indicated by drawing 6, many memory cells are actually accumulated on the same substrate.

[0071] If the composition of the impurity diffusion layer formed in a semiconductor region is removed, since the equipment of this operation gestalt will be the almost same composition as the equipment of drawing 2, it simplifies explanation about the structure common to both, and carries out it to explaining difference in detail.

[0072] The equipment of drawing 6 is equipped with the tunnel insulator layer 2 formed on the single-crystal-silicon substrate 1 including a p type semiconductor field, the floating-gate electrode 3 formed on the tunnel insulator layer 2, the capacity insulator layer 4 formed on the floating-gate electrode 3, and the control gate electrode 5 formed on the capacity insulator layer 4. 9a and 9b are formed in the side of these gate electrodes 3 and 5 for the insulating sidewall.

[0073] This equipment is equipped with n- type low concentration source field 6a and n- type low concentration drain field 6b which were formed in [ other than n+ type high concentration source field 11a formed in the silicon substrate 1, and n+ type high concentration drain field 11b ] the silicon substrate 1. The channel field exists between n-mold low concentration source field 6a and n- type low concentration drain field 6b.

[0074] (1) floating-gate electrode 3 overlaps a part of low concentration drain field 6b, and a point characteristic of this operation gestalt has high impurity concentration in that the fixed "uniform field" is included in the longitudinal direction along the direction of channel length, and the high-impurity-concentration twist which is the field (11b) which is not overlapped by the floating-gate electrode 3 among drain fields having the low high impurity concentration of (2) uniform field in this overlap portion. In other words, the drain field in the storage of this operation gestalt contains the high-concentration impurity diffusion layer (11b) relatively [ layer / impurity diffusion / (6b) / low-concentration ] relatively.

[0075] With this operation gestalt, the size (LOVR) measured along the direction of channel length of an overlap portion is about 130nm, and the size (LUNI) measured along the direction of channel length of a uniform field is about 100nm. The overlap length LOVR is larger than the thickness (= junction depth  $X_j$ ) of the portion about 50nm) of an overlap portion. Moreover, the high impurity concentration of the field which is not covered by the floating-gate electrode 3 among drain fields to the high impurity concentration in the front face of the silicon substrate 1 of an overlap portion being  $1 \times 10^{18} \text{cm}^{-3}$  to  $1 \times 10^{19} \text{cm}^{-3}$  is higher than this, and is three or more [  $1 \times 10^{20} \text{cm}^{-3}$  ].

[0076] According to this operation gestalt, high impurity concentration differs between the overlap portion of a drain field, and other portions, and the optimal value can be given independently to each portion. Although a thing high as much as possible is desired from a viewpoint of contact resistance reduction, if high impurity concentration of an overlap portion is made high to the same extent with the high impurity concentration of a contact field, a hole pours in the high impurity concentration of high concentration drain field 11b which contacts wiring electrically into the tunnel insulator layer 2 at the time of elimination of data, and a possibility that un-arranging [ that the tunnel insulator layer 2 becomes easy to deteriorate ] may arise is in it. In order to avoid this un-arranging, with this operation gestalt, it has set up lowness so that it may become the value of above-mentioned [ the high impurity concentration of an overlap portion ] within the limits.

[0077] It operates like [ the equipment of this operation gestalt ] the equipment of the 1st operation gestalt, and the effect by the equipment of the 1st operation gestalt and the same effect are demonstrated. while maintaining [ in addition to this effect ] contact resistance of the source/drain low according to this operation gestalt, in order to prevent degradation of the tunnel insulator layer 2 at the time of elimination operation, the effect that the high impurity concentration of an overlap portion can be optimized is acquired

[0078] Below, the manufacture method of the storage of this operation gestalt is explained, referring to drawing 15 (a) (c).

[0079] First, as shown in drawing 15 (a), after a front face forms the photoresist pattern 12 on the silicon substrate 1 covered by the protection oxide film 50, arsenic ion is poured in into a silicon substrate 1. Width of face (size measured along the direction of channel length) of the photoresist pattern 12 is set to 0.3 to 0.4 micrometers. In addition, with this operation gestalt, pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{13}$  to  $5 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, low concentration impurity diffusion layer 6a' and 6b' are formed in the field which is not covered by the photoresist pattern 12 on the front face of a semiconductor region.

[0080] After removing the photoresist pattern 12 and the protection oxide film 50, as shown in drawing 15 (b), the laminating gate structure which consists of the tunnel insulator layer 2, the floating-gate electrode 3, a capacity insulator layer 4, and a control gate electrode 5 is formed. The process in which this laminating gate structure forms the tunnel insulator layer 2 by the oxidizing [ thermally ] method, The process which deposits the 1st polycrystal silicon film used as the floating-gate electrode 3 on the tunnel insulator layer 2 by the chemical vapor growth, The process which forms the capacity insulator layer 4 on the 1st polycrystal silicon film, the process which deposits the 2nd polycrystal silicon film used as the control gate electrode 5 on the capacity insulator layer 4 by the chemical vapor growth, And it is created by a series of manufacture process processes including the process which carries out patterning of these multilayers using well-known lithography and etching technology. With this operation gestalt, width of face (size measured along the direction of channel length) of laminating gate structure is set to 0.5 to 0.6 micrometers.

[0081] In the lithography process for patterning of the above-mentioned laminating gate structure, position \*\*\*\*\* with laminating gate structure, low concentration impurity diffusion layer 6a', and 6b' is performed so that the grade of overlap in the floating-gate electrode 3, low concentration impurity diffusion layer 6a', and 6b' may become symmetrical about the flat surface which crosses the center section of the channel field perpendicularly. In the case of this operation gestalt, the size (overlap length) of the overlap portion of the floating-gate electrode 3 and low concentration impurity diffusion layer 6b' is set to 0.05 to 0.15 micrometers. Although gap of about 0.1 micrometers or less may arise in the above-mentioned alignment, it does not influence a device performance greatly.

[0082] In addition, there is not necessarily no need that the grade of overlap in the floating-gate electrode 3, low concentration impurity diffusion layer 6a', and 6b' becomes symmetrical about the flat surface which crosses the center section of the channel field perpendicularly. This is the same about other operation gestalten explained later.

[0083] Next, arsenic ion is poured into a silicon substrate 1, after forming the insulating sidewall spacers (thickness : about 100 to about 150nm) 9a and 9b in the side attachment wall of laminating gate structure using well-known thin film deposition technology and etchback technology, as shown in drawing 15 (c). Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$ . By this ion implantation, the high concentration impurity diffusion layers 11a and 11b are formed in fields other than the field in which laminating gate structure is prepared among the front faces of a silicon substrate 1. Although arsenic ion is not additionally poured into the field covered by laminating gate structure and the sidewall spacer among low concentration impurity diffusion layer 6a' and 6b', arsenic ion doping of a high level is performed in the other field. For this reason, although a part of low

concentration impurity diffusion layer 6a' and 6b' will function as low concentration source field 6a and low concentration drain field 6b, other portions change to the high concentration impurity diffusion layers 11a and 11b. The high concentration impurity diffusion layers 11a and 11b will function as a high concentration source field and a high concentration drain field, respectively.

[0084] Low concentration source field 6a and low concentration drain field 6b are formed of the impurity ion poured in from the semiconductor substrate front face as mentioned above. Thermal diffusion of these impurity ion is carried out at the time of two or more elevated-temperature process processes performed after pouring. For this reason, low concentration drain field 6b in the nonvolatile semiconductor memory finally completed becomes thicker than immediately after pouring, and the edge spreads slightly toward the center section of the channel field. Moreover, since the impurity in high concentration drain field 11b is diffused similarly, the edge spreads slightly toward the center section of the channel field, and advances even into the lower part of sidewall spacer 9b. This is similarly produced in source field. However, even if such impurity diffusion arises, the uniform field where high impurity concentration hardly changes along the direction of channel length exists in the overlap portion of low concentration drain field 6b covered by the floating-gate electrode 3.

[0085] In addition, after formation of the source / drain field is completed, well-known manufacturing processes, such as formation of a layer insulation film and formation of a multilayer interconnection, are performed, and a final nonvolatile semiconductor memory is manufactured.

[0086] (3rd operation gestalt) The 3rd operation gestalt of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 7. The storage of this operation gestalt is also an n channel MOS type flash EEPROM.

[0087] As shown in drawing 7, the nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of the single-crystal-silicon substrate 1 including a p type semiconductor field. Although only the single memory cell is indicated by drawing 7, many memory cells are actually accumulated on the same substrate.

[0088] If the composition of the impurity diffusion layer formed in a semiconductor region is removed, since the equipment of this operation gestalt will be the almost same composition as the equipment of drawing 6, it omits explanation about the structure common to both, and carries out it to explaining difference in detail.

[0089] (1) floating-gate electrode 3 overlaps the point characteristic of this operation gestalt with a part of drain field. In this overlap portion, the fixed "uniform field" is included for high impurity concentration in the longitudinal direction along the direction of channel length, (2) A drain field The thing of high impurity concentration comparatively included for impurity diffusion layer 6b of a low 1st, and 2nd comparatively high impurity diffusion layer 11b of high impurity concentration, (3) -- "of the 1st "whole" impurity diffusion layer 6b and 2nd impurity diffusion layer 11b -- it is in " being overlapped by the floating-gate electrode 3 in part [ and ]

[0090] In addition, the composition of a source field contains 1st comparatively low impurity diffusion layer 6a of high impurity concentration, and 2nd comparatively high impurity diffusion layer 11a of high impurity concentration like the composition of a drain field, and a part of 1st whole impurity diffusion layer 6a and 2nd impurity diffusion layer 11a are overlapped by the floating-gate electrode 3.

[0091] if the potential of the floating-gate electrode 3 rises on the occasion of data writing (if it goes up to 3.3-5 volts) - high impurity concentration -- comparatively -- impurity diffusion layer 6b of a low 1st -- an inversion layer is formed in a front face at least From the edge of 2nd impurity diffusion layer 11b, this inversion layer is prolonged to a channel field, and is located just under the floating-gate electrode 3. By such existence of an inversion layer, the high drain potential given to 2nd impurity diffusion layer 11b is transmitted, without almost descending until it results in the channel field side edge of 1st impurity diffusion layer 6b.

[0092] Drawing 8 (a) shows the drain field at the time of data writing, and the surface potential (potential) of the near. At the time of data writing, the potential in the front face of 1st impurity diffusion layer 6b has a value almost equal to the potential (drain potential; for example, 5 volts) of 2nd impurity diffusion layer 11b, and is changing steeply in the boundary portion of 1st impurity diffusion layer 6b and a channel field so that drawing 8 (a) may show. Of a steep change of such potential, a strong electric-field peak as shown in drawing 4 (a) is formed.

[0093] With this operation gestalt, the 1st whole impurity diffusion layer 6b is covered by the floating-gate electrode 3 for this reason, the thing for which right potential is given to the floating-gate electrode 3 -- the inversion layer formed in 1st impurity diffusion layer 6b is prolonged even from the edge of 2nd impurity diffusion layer 11b to a channel field, without being disrupted Consequently, while the high potential (drain potential) of 2nd impurity diffusion layer

11b maintains a high value also within 1st impurity diffusion layer 6b, it will be transmitted even to the portion which adjoins a channel field.

[0094] If it changes from a strong inversion layer to a weak inversion layer and an inversion layer disappears further (weakness) by reducing the potential of the floating-gate electrode 3, as shown in drawing 8 (b), the surface potential (potential) of 1st impurity diffusion layer 6b will fall as it approaches a channel field. Consequently, the electric field in the boundary portion of 1st impurity diffusion layer 6b and a channel field are eased.

[0095] According to the potential of the floating-gate electrode 3, the potential of 2nd impurity diffusion layer 11b is transmitted to a source field side, or 1st impurity diffusion layer 6b eases so that it may turn out well that drawing 8 (a) and (b) are compared.

[0096] As for the high impurity concentration of 1st impurity diffusion layer 6b, it is desirable that it is the high impurity concentration (for example,  $5 \times 10^{17}$ – $1 \times 10^{19} \text{cm}^{-3}$ ) which is a grade by which an inversion layer is formed in the front face of 1st impurity diffusion layer 6b at the time of data writing. Such 1st impurity diffusion layer 6b can demonstrate the same function electrically by forming an inversion layer with 2nd impurity diffusion layer 11b with high high impurity concentration, when the suitable potential for the floating-gate electrode 3 is given.

[0097] The high high-impurity-concentration portion a drain field indicates fixed drain potential to be substantially irrespective of the potential of the floating-gate electrode 3 with this operation gestalt (2nd impurity diffusion layer 11b). According to the potential of the floating-gate electrode 3, surface potential contains the low high-impurity-concentration portion (1st impurity diffusion layer 6b) which changes from level equal to drain potential even to low level rather than drain potential. And a part of 1st whole impurity diffusion layer 6b and 2nd impurity diffusion layer 11b are overlapped by the floating-gate electrode 3. It becomes possible to form electric field strong against the position shifted from the edge of the floating-gate electrode 3 toward the center section of the channel field by such composition at the time of data writing.

[0098] In addition, zero or an electronegative potential is given to the floating-gate electrode 3, supplying high potential (drain potential) to 2nd impurity diffusion layer 11b at the time of data elimination. In order that 1st impurity diffusion layer 6b may ease drain potential at this time, the tunneling between bands by band bending is suppressed, and it also becomes possible to avoid the problem that the gate oxide film 2 will carry out the trap of the hole.

[0099] Next, the manufacture method of the equipment of drawing 7 is explained, referring to drawing 9 (a) and (b).

[0100] First, as shown in drawing 9 (a), after a front face forms the photoresist pattern 12 on the silicon substrate 1 covered by the protection oxide film 50, arsenic ion is poured in into a silicon substrate 1. Width of face (size measured along the direction of channel length) of the photoresist pattern 12 is set to 0.3 to 0.4 micrometers. In addition, with this operation gestalt, pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{13}$  to  $5 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, low concentration impurity diffusion layer 6a' and 6b' are formed in the field which is not covered by the photoresist pattern 12 on the front face of a semiconductor region.

[0101] After removing the photoresist pattern 12 and the protection oxide film 50, as shown in drawing 9 (b), the laminating gate structure which consists of the tunnel insulator layer 2, the floating-gate electrode 3, a capacity insulator layer 4, and a control gate electrode 5 is formed. The process in which this laminating gate structure forms the tunnel insulator layer 2 by the oxidizing [ thermally ] method, The process which deposits the 1st polycrystal silicon film used as the floating-gate electrode 3 on the tunnel insulator layer 2 by the chemical vapor growth, The process which forms the capacity insulator layer 4 on the 1st polycrystal silicon film, the process which deposits the 2nd polycrystal silicon film used as the control gate electrode 5 on the capacity insulator layer 4 by the chemical vapor growth, And it is created by a series of manufacture process processes including the process which carries out patterning of these multilayers using well-known lithography and etching technology. With this operation gestalt, width of face (size measured along the direction of channel length) of laminating gate structure is set to 0.5 to 0.6 micrometers.

[0102] In the lithography process for patterning of the above-mentioned laminating gate structure, position \*\*\*\*\* with laminating gate structure, low concentration impurity diffusion layer 6a', and 6b' is performed so that the floating-gate electrode 3 may overlap a part of low concentration impurity diffusion layer 6b'. In the case of this operation gestalt, the size (overlap length) of the overlap portion of the floating-gate electrode 3 and low concentration impurity diffusion layer 6b' is set to about 100 to 150nm.

[0103] Next, arsenic ion is poured in by using as a mask laminating gate structure by which patterning was carried out. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$ . By this

ion implantation, the high concentration impurity diffusion layers 11a and 11b are formed in fields other than the field in which laminating gate structure is prepared while on the front face of a semiconductor. Though not overlapped by the floating-gate electrode 3 immediately after an ion implantation, since the high concentration impurity diffusion layers 11a and 11b are diffused in a longitudinal direction through a subsequent heat treatment process, as shown in drawing 9 (b), a part of high concentration impurity diffusion layers 11a and 11b are overlapped by the floating-gate electrode 3. Finally, the high concentration impurity diffusion layers 11a and 11b will function as a high concentration source field and a high concentration drain field, respectively.

[0104] Low concentration source field 6a and low concentration drain field 6b are formed of the impurity ion poured in from the semiconductor substrate front face as mentioned above. Thermal diffusion of these impurity ion is carried out at the time of two or more elevated-temperature process processes performed after pouring. For this reason, low concentration drain field 6b in the nonvolatile semiconductor memory finally completed becomes thicker than immediately after pouring, and the edge spreads slightly toward the center section of the channel field. However, even if such impurity diffusion arises, the uniform field where high impurity concentration hardly changes along the direction of channel length exists in the overlap portion of low concentration drain field 6b covered by the floating-gate electrode 3.

[0105] (4th operation form) The 4th operation form of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 10. The storage of this operation form is also an n channel MOS type flash EEPROM.

[0106] As shown in drawing 10, the nonvolatile semiconductor memory of this operation form is formed in the p type semiconductor field of the single-crystal-silicon substrate 1 including a p type semiconductor field. Although only the single memory cell is indicated by drawing 10, many memory cells are actually accumulated on the same substrate.

[0107] If the composition of the impurity diffusion layer formed in a semiconductor region is removed, since the equipment of this operation gestalt will be the almost same composition as the equipment of drawing 6, it omits explanation about the structure common to both, and carries out it to explaining difference in detail.

[0108] (1) floating-gate electrode 3 overlaps the point characteristic of this operation gestalt with a part of drain field. In this overlap portion, the fixed "uniform field" is included for high impurity concentration in the longitudinal direction along the direction of channel length, and (2) drain field -- high impurity concentration -- comparatively -- the [ impurity diffusion layer 6b of a low 1st, 2nd comparatively high impurity diffusion layer 11b of high impurity concentration, and / the 1st and ] -- it is in 3rd impurity diffusion layer 8b prepared between 2 impurity-diffusion layer being included in addition, the composition of a source field -- the composition of a drain field -- the same -- high impurity concentration -- comparatively -- the [ impurity diffusion layer 6a of a low 1st, 2nd comparatively high impurity diffusion layer 11a of high impurity concentration, and / the 1st and ] -- 3rd impurity diffusion layer 8a prepared between 2 impurity-diffusion layers is included

[0109] High impurity concentration is formed from 1st impurity diffusion layer 6b of  $1 \times 10^{18}$  to  $1 \times 10^{19} \text{cm}^{-3}$ , and, as for most overlap portions of a drain field, 3rd impurity diffusion layer 8b of  $2 \times 10^{18}$  to  $2 \times 10^{19} \text{cm}^{-3}$  is located by high impurity concentration just under sidewall spacer 9b. The 3rd impurity diffusion layer 8a and 8b is partially covered by the floating-gate electrode 3 so that drawing 10 may show. As for the other portion of a drain field, high impurity concentration is formed from impurity diffusion layer 11 of \*\* three or more [  $1 \times 10^{20} \text{cm}^{-3}$  ] 2nd b.

[0110] With this operation gestalt, the size (LOVR) measured along the direction of channel length of an overlap portion is about 130nm, and the size (LUNI) measured along the direction of channel length of a uniform field is about 100nm. The overlap length LOVR is larger than the thickness (= junction depth  $X_j$ ) of the portion about 50nm of an overlap portion.

[0111] It operates like [ the storage of this operation gestalt ] the equipment of the 2nd operation gestalt, and the effect by the equipment of the 2nd operation gestalt and the same effect are demonstrated. since it is higher than the case where n type high impurity concentration in the field which electronic drawing produces [ in addition to this effect ] according to this operation gestalt is equipment of drawing 6, the effect that elimination efficiency is improved is acquired

[0112] Below, the manufacture method of the storage of this operation gestalt is explained, referring to drawing 16 (a) (c).

[0113] First, as shown in drawing 16 (a), after a front face forms the photoresist pattern 12 on the silicon substrate 1 covered by the protection oxide film 50, arsenic ion is poured in into a silicon substrate 1. Width of face (size measure



along the direction of channel length) of the photoresist pattern 12 is set to 0.3 to 0.4 micrometers. In addition, also with this operation gestalt, pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $1 \times 10^{13}$  to  $1 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, low concentration impurity diffusion layer 6a' and 6b' are formed in the field which is not covered by the photoresist pattern 12 of the front face of a silicon substrate 1.

[0114] After removing the photoresist pattern 12 and the protection oxide film 50, as shown in drawing 16 (b), the laminating gate structure which consists of the tunnel insulator layer 2, the floating-gate electrode 3, a capacity insulator layer 4, and a control gate electrode 5 is formed. The process in which this laminating gate structure forms the tunnel insulator layer 2 by the oxidizing [ thermally ] method, The process which deposits the 1st polycrystal silicon film used as the floating-gate electrode 3 on the tunnel insulator layer 2 by the chemical vapor growth, The process which forms the capacity insulator layer 4 on the 1st polycrystal silicon film, the process which deposits the 2nd polycrystal silicon film used as the control gate electrode 5 on the capacity insulator layer 4 by the chemical vapor growth, And it is created by a series of manufacture process processes including the process which carries out patterning of these multilayers using well-known lithography and etching technology. With this operation gestalt, width of face (size measured along the direction of channel length) of laminating gate structure is set to 0.5 to 0.6 micrometers.

[0115] In the lithography process for patterning of the above-mentioned laminating gate structure, position \*\*\*\*\* with laminating gate structure, low concentration impurity diffusion layer 6a', and 6b' is performed so that the grade of overlap in the floating-gate electrode 3, low concentration impurity diffusion layer 6a', and 6b' may become symmetrical about the flat surface which crosses the center section of the channel field perpendicularly. In the case of this operation gestalt, the size (overlap length) of the overlap portion of the floating-gate electrode 3 and low concentration impurity diffusion layer 6b' is set to about 100 to 150nm.

[0116] Next, as shown in drawing 16 (b), arsenic ion is poured in by using as a mask laminating gate structure by which patterning was carried out. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{13}$  to  $5 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, impurity diffusion layer 8a' and 8b' are formed in fields other than the field in which laminating gate structure is prepared while on the front face of a semiconductor. Although arsenic ion is not additionally poured into the field covered by laminating gate structure among low concentration impurity diffusion layer 6a' and 6b', arsenic ion doping of middle level is performed in the other field. For this reason, a part of low concentration impurity diffusion layer 6a' and 6b' come to function as low concentration source field 6a and low concentration drain field 6b.

[0117] Next, arsenic ion is poured in, after forming the insulating sidewall spacers 9a and 9b in the side attachment wall of laminating gate structure, as shown in drawing 16 (c). Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$ . By this ion implantation, the high concentration impurity diffusion layers 11a and 11b are formed in fields other than the field in which laminating gate structure and the sidewall spacers 9a and 9b are formed while on the front face of a semiconductor. Although arsenic ion is not additionally poured into the field covered by laminating gate structure or the sidewall spacer among impurity diffusion layer 8a' and 8b', arsenic ion doping of a high level is performed in the other field. For this reason, although a part of impurity diffusion layer 8a' and 8b' come to function as inside concentration source field 8a and inside concentration drain field 8b, other portions change to the high concentration impurity diffusion layers 11a and 11b. The high concentration impurity diffusion layers 11a and 11b will function as a high concentration source field and a high concentration drain field, respectively.

[0118] Low concentration source field 6a and low concentration drain field 6b are formed of the impurity ion poured in from the semiconductor substrate front face as mentioned above. Thermal diffusion of these impurity ion is carried out at the time of two or more elevated-temperature process processes performed after pouring. For this reason, low concentration drain field 6b in the nonvolatile semiconductor memory finally completed becomes thicker than immediately after pouring, and the edge spreads slightly toward the center section of the channel field. Moreover, since the impurity in inside concentration drain field 8b is diffused similarly, the edge spreads slightly toward the center section of the channel field, and advances even into the lower part of the floating-gate electrode 3. This is similarly produced in a source field. However, even if such impurity diffusion arises, the uniform field where high impurity concentration hardly changes along the direction of channel length exists in the overlap portion of low concentration drain field 6b covered by the floating-gate electrode 3. Consequently, it becomes possible to tell even a part for the joint of a channel field and low concentration drain field 6b, maintaining highly the potential level supplied to high

concentration drain field 11b through wiring in comparison. By this, a strong horizontal electric-field peak can be formed now in the position near a center section among the semiconductor surface fields covered by the floating-gate electrode 3.

[0119] In addition, after formation of the source / drain field is completed, well-known manufacturing processes, such as formation of a layer insulation film and formation of a multilayer interconnection, are performed, and a final nonvolatile semiconductor memory is manufactured.

[0120] (5th operation gestalt) The 5th operation gestalt of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 11 . The storage of this operation gestalt is also an n channel MOS type flash EEPROM.

[0121] As shown in drawing 11 , the nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of the single-crystal-silicon substrate 1 including a p type semiconductor field. Although only the single memory cell is indicated by drawing 11 , many memory cells are actually accumulated on the same substrate

[0122] If the composition of the impurity diffusion layer formed in a semiconductor region is removed, since the equipment of this operation gestalt will be the almost same composition as the equipment of drawing 10 , it omits explanation about the structure common to both, and carries out it to explaining difference in detail.

[0123] (1) floating-gate electrode 3 overlaps the point characteristic of this operation gestalt with a part of drain field. In this overlap portion, the fixed "uniform field" is included for high impurity concentration in the longitudinal direction along the direction of channel length, (2) High impurity concentration comparatively The impurity diffusion layer of a low 1st, [ a drain field ] the [ the 2nd comparatively high impurity diffusion layer of high impurity concentration, and / the 1st and ] -- the 3rd impurity diffusion layer prepared between 2 impurity-diffusion layers is included -- And (3) channel field is in the thing by which it was formed in the position which touches the overlap portion of a drain field and which is relatively included for high-concentration p type impurity diffusion layer 7b. The high impurity concentration of p type impurity diffusion layer 7b of this operation gestalt is  $2 \times 10^{17}$  to  $1 \times 10^{18} \text{cm}^{-3}$ .

[0124] It operates like [ the storage of this operation gestalt ] the equipment of the 4th operation gestalt, and the effect by the equipment of the 4th operation gestalt and the same effect are demonstrated. In addition to this effect, according to this operation gestalt, existence of p type semiconductor field 7b can increase the field strength formed in a drain edge as compared with the case of the above-mentioned operation gestalt, and can raise further the electron-injection efficiency at the time of data writing by it.

[0125] What is necessary is to pour in p type impurity ion, such as boron (B), to a silicon substrate 1, and just to add the process which forms p type impurity diffusion layers 7a and 7b by it, after carrying out the mask of the front face of a silicon substrate 1 in the manufacture method of the 4th operation gestalt by the photoresist pattern 12 shown in above-mentioned drawing 16 (a), in order to manufacture the equipment of this operation gestalt. Even if it carries out before the pouring process of n type impurity ion for the low concentration impurity diffusion layers 6a and 6b, you may perform the pouring process of this p type impurity ion behind. For example, acceleration energy is [ 20 to 40keV (s) and the pouring dose of the pouring conditions of p type impurity ion ]  $5 \times 10^{12}$  to  $5 \times 10^{13} \text{ccm}^{-2}$ .

[0126] (6th operation gestalt) The 5th operation gestalt of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 12 . The storage of this operation gestalt is also an n channel MOS type flash EEPROM.

[0127] As shown in drawing 12 , the nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of the single-crystal-silicon substrate 1 including a p type semiconductor field. Although only the single memory cell is indicated by drawing 9 , many memory cells are actually accumulated on the same substrate.

[0128] If the composition of the impurity diffusion layer formed in a semiconductor region is removed, since the equipment of this operation form will be the almost same composition as the equipment of drawing 11 , it omits explanation about the structure common to both, and carries out it to explaining difference in detail.

[0129] (1) floating-gate electrode 3 overlaps the point characteristic of this operation form with a part of drain field. In this overlap portion, the fixed "uniform field" is included for high impurity concentration in the longitudinal direction along the direction of channel length, (2) A drain field 1st comparatively low impurity diffusion layer 6b of high impurity concentration, the [ 2nd comparatively high impurity diffusion layer 11b of high impurity concentration, and the 1st and ] -- 3rd impurity diffusion layer 8b prepared between 2 impurity-diffusion layers is included -- (3) The thin; by which it was formed in the position where a channel field touches the overlap portion of a drain field and which is



relatively included for high-concentration p type impurity diffusion layer 7b, (4) -- it is in n- type low concentration impurity diffusion layer 12b prepared between 2nd impurity diffusion layer 11b and the p type semiconductor field being included [ and ]

[0130] This n- type low concentration impurity diffusion layer 12b has low high impurity concentration rather than the high impurity concentration of 3rd impurity diffusion layer 8b. In addition, the high impurity concentration of p type impurity diffusion layer 7b of this operation gestalt is  $2 \times 10^{17}$  to  $1 \times 10^{18} \text{cm}^{-3}$  in a substrate surface field, and the high impurity concentration of n- type low concentration impurity diffusion layer 12b is  $1 \times 10^{16} \text{cm}^{-3}$  to  $1 \times 10^{19} \text{cm}^{-3}$ .

[0131] It operates like [ the storage of this operation gestalt ] the equipment of the 5th operation gestalt, and the effect by the equipment of the 5th operation gestalt and the same effect are demonstrated. In addition to this effect, according to this operation gestalt, existence of n- type low concentration impurity diffusion layer 12b raises drain pressure-proofing, and reduces the parasitic capacitance of junction. Moreover, since pressure-proofing of drain junction is large, a leakage current decreases at the time of data elimination, and reduction of power consumption is attained. Reduction of a leakage current suppresses the hot electron to the tunnel insulator layer 2, and pouring of a hot hole, and raises reliability further.

[0132] Below, the manufacture method of the storage of this operation gestalt is explained, referring to drawing 17 (a) (c).

[0133] First, as shown in drawing 17 (a), after a front face forms the photoresist pattern 12 on the silicon substrate 1 covered by the protection oxide film 50, arsenic ion and boron are poured in into a silicon substrate 1. Width of face (size measured along the direction of channel length) of the photoresist pattern 12 is set to 0.3 to 0.4 micrometers. In addition, with this operation gestalt, pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), a dose sets to  $1 \times 10^{13}$  to  $1 \times 10^{14} \text{cm}^{-2}$ , pouring acceleration energy of boron ion is set to 20 to 40keV(s), and a dose is set to  $5 \times 10^{12}$  to  $5 \times 10^{13} \text{cm}^{-2}$ . this -- an ion implantation -- a silicon substrate -- one -- a front face -- a photoresist -- a pattern -- 12 -- covering -- having -- \*\*\*\* -- a field -- low concentration -- impurity diffusion -- a layer -- six -- a -- ' -- and -- six -- b -- ' -- and -- p -- type -- impurity diffusion -- a layer -- seven -- a -- ' -- and -- seven -- b -- ' -- forming -- having . an ion implantation -- conditions -- a silicon substrate -- one -- a front face -- it can set -- n -- type -- high impurity concentration -- p -- type -- high impurity concentration -- large -- becoming -- making -- while -- a substrate -- a front face -- from -- having measured -- low concentration -- impurity diffusion -- a layer -- six -- a -- ' -- and -- six -- b -- ' -- junction -- the depth -- a substrate -- a front face -- from -- having measured -- p -- type -- impurity diffusion -- a layer -- seven -- a -- ' --

[0134] After removing the photoresist pattern 12 and the protection oxide film 50, as shown in drawing 17 (b), the laminating gate structure which consists of the tunnel insulator layer 2, the floating-gate electrode 3, a capacity insulator layer 4, and a control gate electrode 5 is formed. The process in which this laminating gate structure forms the tunnel insulator layer 2 by the oxidizing [ thermally ] method, The process which deposits the 1st polycrystal silicon film used as the floating-gate electrode 3 on the tunnel insulator layer 2 by the chemical vapor growth, The process which forms the capacity insulator layer 4 on the 1st polycrystal silicon film, the process which deposits the 2nd polycrystal silicon film used as the control gate electrode 5 on the capacity insulator layer 4 by the chemical vapor growth, And it is created by a series of manufacture process processes including the process which carries out patterning of these multilayers using well-known lithography and etching technology. With this operation gestalt, width of face (size measured along the direction of channel length) of laminating gate structure is set to 0.5 to 0.6 micrometers.

[0135] In the lithography process for patterning of the above-mentioned laminating gate structure, position \*\*\*\*\* with laminating gate structure, low concentration impurity diffusion layer 6a', and 6b' is performed so that the grade of overlap in the floating-gate electrode 3, low concentration impurity diffusion layer 6a', and 6b' may become symmetrical about the flat surface which crosses the center section of the channel field perpendicularly. In the case of this operation gestalt, the size (overlap length) of the overlap portion of the floating-gate electrode 3 and low concentration impurity diffusion layer 6b' is set to 0.05 to 0.15 micrometers.

[0136] Next, as shown in drawing 17 (b), arsenic ion is poured in by using as a mask laminating gate structure by which patterning was carried out. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{13}$  to  $5 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, n type impurity diffusion layer 8a' and 8b' are formed in fields other than the field in which laminating gate structure is prepared while on the front face of a semiconductor. Although arsenic ion is not additionally poured into the field covered by laminating gate structure among low concentration

impurity diffusion layer 6a' and 6b', arsenic ion doping of middle level is performed in the other field. For this reason, part of low concentration impurity diffusion layer 6a' and 6b' come to function as low concentration source field 6a and low concentration drain field 6b. Moreover, the portion covered by the floating-gate electrode 3 among p type impurity diffusion layer 7a' and 7b' remains as p type impurity diffusion layers 7a and 7b.

[0137] Next, as shown in drawing 17 (c), after forming the insulating sidewall spacers 9a and 9b in the side attachment wall of laminating gate structure, arsenic ion and the Lynn (P) ion are poured in. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$ . Pouring acceleration energy of phosphorus ion is set to 40 to 60keV(s), and a dose is set to  $5 \times 10^{12}$  to  $5 \times 10^{13} \text{cm}^{-2}$ . By the arsenic ion implantation, the high concentration impurity diffusion layers 11a and 11b are formed in fields other than the field in which laminating gate structure and the sidewall spacers 9a and 9b are formed while on the front face of a semiconductor. Although arsenic ion is not additionally poured into the field covered by laminating gate structure or the sidewall spacers 9a and 9b among impurity diffusion layer 8a' and 8b', arsenic ion doping of a high level is performed in the other field. For this reason, although a part of impurity diffusion layer 8a' and 8b' come to function as inside concentration source field 8a and inside concentration drain field 8b, other portions change to the high concentration impurity diffusion layers 11a and 11b. The high concentration impurity diffusion layers 11a and 11b will function as a high concentration source field and a high concentration drain field, respectively. Moreover, n- type low concentration impurity diffusion layers 12a and 12b are formed of Lynn poured in by the above-mentioned ion implantation. Since the impurity diffusion coefficient of Lynn is larger than an arsenic impurity diffusion coefficient, it is the heat treatment process performed after pouring, and n- type low concentration impurity diffusion layers 12a and 12b are extended also under the sidewalls 9a and 9b.

[0138] (7th operation gestalt) The 7th operation gestalt of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 13 . The storage of this operation gestalt is also an n channel MOS type flash EEPROM.

[0139] As shown in drawing 13 , the nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of a single-crystal-silicon substrate including a p type semiconductor field. Although only the single memory cell is indicated by drawing 13 , many memory cells are actually accumulated on the same substrate.

[0140] If the unsymmetrical composition of the impurity diffusion layer formed in a semiconductor region is removed, since the equipment of this operation gestalt will be the almost same composition as the equipment of drawing 12 , it omits explanation about the structure common to both, and carries out it to explaining difference in detail.

[0141] The structure of the drain field of this equipment has the difference it is different between the equipment of this operation gestalt, and the equipment of drawing 12 in the point of having the structure where p type impurity diffusion layer 7a was removed from the source field in it of the equipment of drawing 12 while it had the same structure.

[0142] With the equipment of this operation gestalt, write-in operation can be performed by the drain side, and a source side can perform elimination operation. For this reason, field strength to form can be enlarged further and it is possible to raise an injection efficiency further by it.

[0143] The voltage of 0V is impressed [ 5 ] to 5 to 6V, drain field 11b, and a substrate from the control gate electrode 6 at -8V and source field 11a at the time of elimination operation, and the tunnel current which flows the tunnel insulator layer 2 draws out an electron from the floating-gate electrode 3 to a source field. In this case, electronic tunneling arises in the portion with the strongest field strength formed in the tunnel insulator layer 2 under the above-mentioned voltage impression conditions. Since electronic drawing is performed in a source field, it becomes a different place from writing (electronic pouring), and degradation of the tunnel insulator layer 2 is excellent in reliability few.

[0144] In addition, what is necessary is just to cover the source side with the resist pattern before the impurity ion-implantation process for forming p type impurity diffusion layer 7b, in order to prepare p type impurity diffusion layer 7b only in a drain side. Except this point, the equipment of drawing 13 can be manufactured by the manufacture method explained with reference to (c) from drawing 17 (a), and the same manufacture method.

[0145] (Operation gestalt of the octavus) The operation gestalt of the octavus of the nonvolatile semiconductor memory by this invention is explained hereafter, referring to drawing 14 . The storage of this operation gestalt is also an n channel MOS type flash EEPROM.

[0146] As shown in drawing 14 </A>, the nonvolatile semiconductor memory of this operation gestalt is formed in the p type semiconductor field of a single-crystal-silicon substrate including a p type semiconductor field. Although only

the single memory cell is indicated by drawing 14, many memory cells are actually accumulated on the same substrate [0147] The structure of the drain field of this equipment has the difference it is different between the equipment of this operation gestalt, and the equipment of drawing 13 in the point of having the structure where low concentration impurity diffusion layer 6a was further removed from the source field in it of the equipment of drawing 13 while it had the same structure.

[0148] Also in this operation gestalt, drawing of the electron for elimination is performed by the source side. For this reason, even if the voltage impressed to a drain field is as low as about 5V and it makes high impurity concentration of n- type low concentration impurity diffusion layer 6b and p type impurity diffusion layer 7b higher than the high impurity concentration of the equipment of the operation gestalt of the 5th and 6, respectively, the proof-pressure fall by the side of a drain hardly becomes a problem. For this reason, with this operation gestalt, the high impurity concentration of low concentration impurity diffusion layer 6b and p type impurity diffusion layer 7b is set as  $1 \times 10^{19}$  to  $1 \times 10^{20} \text{cm}^{-3}$ , and  $1 \times 10^{18} \text{cm}^{-3}$  from  $1 \times 10^{17}$ , respectively. Since the high impurity concentration of low concentration impurity diffusion layer 6b is high, even if it impresses the same drain voltage to high concentration drain field 11b, the intensity of the electric field formed in a channel field rises, and an injection efficiency improves.

[0149] In elimination operation, the voltage of 0V is impressed [ 5 ] to -8V and source field 11a from the control gate electrode -6 at 5 to 6V, drain field 11b, and a silicon substrate 1, and the tunnel current which flows the tunnel oxide film 2 draws out an electron from the floating-gate electrode 3 to a source field. Since electronic drawing is performed by the source side also in this case, tunneling arises in a different place from writing (electronic pouring), and degradation of the tunnel insulator layer 2 is excellent in reliability few. Moreover, existence of n- type low concentration impurity diffusion layer 12a improves pressure-proofing of source junction, and makes small the leakage current at the time of elimination operation. For this reason, reduction of power consumption can be aimed at. Since reduction of a leakage current suppresses the hot electron to the tunnel insulator layer 2, and pouring of a hot hole, it raises reliability.

[0150] Below, the manufacture method of the storage of this operation gestalt is explained, referring to drawing 18 (a) (c).

[0151] First, as shown in drawing 18 (a), after a front face forms the photoresist pattern 12 on the silicon substrate 1 covered by the protection oxide film 50, arsenic ion and boron are poured in into a silicon substrate 1. The width of face (size measured along the direction of channel length) of the photoresist pattern 12 is formed so that the portion used as the portion and source field which turn into a channel field among active regions may be covered. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), a dose sets to  $1 \times 10^{13}$  to  $1 \times 10^{14} \text{cm}^{-2}$ , pouring acceleration energy of boron ion is set to 20 to 40keV(s), and a dose is set to  $1 \times 10^{13}$  to  $1 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, low concentration impurity diffusion layer 6b' and p type impurity diffusion layer 7b' are formed in the field which is not covered by the photoresist pattern 12 of the front face of a silicon substrate 1.

[0152] After removing the photoresist pattern 12 and the protection oxide film 50, as shown in drawing 18 (b), the laminating gate structure which consists of the tunnel insulator layer 2, the floating-gate electrode 3, a capacity insulator layer 4, and a control gate electrode 5 is formed. The process in which this laminating gate structure forms the tunnel insulator layer 2 by the oxidizing [ thermally ] method, The process which deposits the 1st polycrystal silicon film used as the floating-gate electrode 3 on the tunnel insulator layer 2 by the chemical vapor growth, The process which forms the capacity insulator layer 4 on the 1st polycrystal silicon film, the process which deposits the 2nd polycrystal silicon film used as the control gate electrode 5 on the capacity insulator layer 4 by the chemical vapor growth, And it is created by a series of manufacture process processes including the process which carries out patterning of these multilayers using well-known lithography and etching technology. With this operation gestalt, width of face (size measured along the direction of channel length) of laminating gate structure is set to 0.5 to 0.6 micrometers.

[0153] In the lithography process for patterning of the above-mentioned laminating gate structure, position \*\*\*\*\* of laminating gate structure and low concentration impurity diffusion layer 6b' is performed so that the grade of overlap in the floating-gate electrode 3 and low concentration impurity diffusion layer 6b' may be set to about 50 to 150nm.

[0154] Next, as shown in drawing 18 (c), arsenic ion is poured in by using as a mask laminating gate structure by which patterning was carried out. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $1 \times 10^{14}$  to  $5 \times 10^{14} \text{cm}^{-2}$ . By this ion implantation, impurity diffusion layer 8a' and 8b' are formed in fields other than the field in which laminating gate structure is prepared while on the front face of a semiconductor. Although arsenic ion is

not additionally poured into the field covered by laminating gate structure among low concentration impurity diffusion layer 6b', arsenic ion doping of middle level is performed in the other field. For this reason, a part of low concentration impurity diffusion layer 6b' comes to function as low concentration drain field 6b. Moreover, the portion covered by the floating-gate electrode 3 among p type impurity diffusion layer 7b' remains as p type impurity diffusion layer 7b. [0155] Next, as shown in drawing 18 (c), after forming the insulating sidewall spacers 9a and 9b in the side attachment wall of laminating gate structure, arsenic ion and the Lynn (P) ion are poured in. Pouring acceleration energy of arsenic ion is set to 30 to 60keV(s), and a dose is set to  $5 \times 10^{14}$  to  $5 \times 10^{15} \text{cm}^{-2}$ . Pouring acceleration energy of phosphorus ion is set to 40 to 60keV(s), and a dose is set to  $1 \times 10^{12}$  to  $1 \times 10^{14} \text{cm}^{-2}$ . By pouring in arsenic ion, the high concentration impurity diffusion layers 11a and 11b are formed in fields other than the field in which laminating gate structure and the sidewall spacers 9a and 9b are formed while on the front face of a semiconductor. Although arsenic ion is not additionally poured into the field covered by laminating gate structure or the sidewall spacers 9a and 9b among impurity diffusion layer 8a' and 8b', arsenic ion doping of a high level is performed in the other field. For this reason, although a part of impurity diffusion layer 8a' and 8b' come to function as inside concentration source field 8a and inside concentration drain field 8b, other portions change to the high concentration impurity diffusion layers 11a and 11b. The high concentration impurity diffusion layers 11a and 11b will function as a high concentration source field and a high concentration drain field, respectively. Moreover, n- type low concentration impurity diffusion layers 12a and 12b are formed of poured-in Lynn.

[0156] As explained above, with the operation gestalt of the octavus, the whole low concentration impurity diffusion layer 6b is formed in the position covered by the floating-gate electrode 3 from the 3rd, and, moreover, the high concentration impurity diffusion layer for transmitting drain potential to low concentration impurity diffusion layer 6b is formed in the position connected with the drain side edge section of low concentration impurity diffusion layer 6b. For this reason, when high potential is given to the floating-gate electrode 3 on the occasion of data writing, according to the potential of the floating-gate electrode 3, a surface potential distribution as an inversion layer formed just under the floating-gate electrode 3, consequently shown in drawing 8 (a) will be formed.

[0157] Drawing 19 (a) and (b) are drawings showing typically where electronic tunneling arises at the time of data writing and data elimination in the nonvolatile semiconductor memory of this invention. The potential given to floating-gate electrode 3 grade at the time of data writing and elimination is as being shown in the following table 1 (a unit is a volt). In addition, at the time of data writing, you may give -2--3 volt potential to a substrate.

[0158]

[Table 1]

	ソース領域	浮遊ゲート	ドレイン領域
書き込み時	0	+3. 3 ~ 5	+5
消去時 (例 1)	0	0	+10
消去時 (例 2)	0	-5	+5

An electron is injected into the floating-gate electrode 3 through the path mainly shown by Arrow A from the channel side edge section of 1st impurity diffusion layer 6b at the time of data writing. On the other hand, with the structure of drawing 19 (a), the electron of the floating-gate electrode 3 is mainly drawn out by 2nd impurity diffusion layer 11b through the path of Arrow B at the time of data elimination. Moreover, with the structure of drawing 19 (b), the electron of the floating-gate electrode 3 is mainly drawn out by 3rd impurity diffusion layer 8b through the path of Arrow B at the time of data elimination.

[0159] Thus, according to the nonvolatile semiconductor memory of this invention, since the position of the electron injection at the time of write-in operation differs from the tunneling position of the electron at the time of elimination operation, there is little degradation of the tunnel insulator layer 2, and it is excellent in reliability. Moreover, since the writing and elimination of data can be performed by the drain side, the circuitry which connects a bit line to a source side can be realized, and read-out data SUTABU is lost. In addition, elimination operation can also be performed by drawing out the electron accumulated at the floating-gate electrode 3 to the source fields 8a or 11a.

[0160] With each above-mentioned operation gestalt, although the laminating of the control gate electrode 5 is carried out above the floating-gate electrode 3 through the capacity insulator layer (the 2nd insulator layer) 4, the nonvolatile semiconductor memory of this invention is not limited to a thing with such stack type gate structure. Since the

phenomenon which also explained the nonvolatile semiconductor memory which has the structure where a part of control gate electrode [ at least ] 5 counters through an insulator layer on a channel field using drawing 8 (a) and (b) arises, the same effect as the nonvolatile semiconductor memory which has stack type gate structure is acquired.

[0161]

[Effect of the Invention] It becomes possible to shift the on-the-strength peak position of the level longitudinal direction electric field formed in a semiconductor region at the time of data writing since a floating-gate electrode overlaps a part of drain field according to this invention and the overlap portion includes the field where high impurity concentration is fixed in a level longitudinal direction along the direction of channel length to the interior from the drain side edge of a floating-gate electrode, and to make a hot electron inject into a floating-gate electrode efficiently by it. Consequently, the injection efficiency of a channel hot electron improves and the improvement in drawing speed or the fall of write-in voltage is realized.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

[Claim 1] The above of the aforementioned drain field which it is a nonvolatile semiconductor memory, and the aforementioned gate electrode overlaps a part of aforementioned drain field, and is overlapped by the aforementioned gate electrode part characterized by providing the following is a nonvolatile semiconductor memory in which high impurity concentration includes the uniform field of simultaneously regularity along the direction of channel length.

The semiconductor region of the 1st conductivity type. The insulator layer formed on the aforementioned semiconductor region. The gate electrode formed on the aforementioned insulator layer. The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the channel field that is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field.

[Claim 2] The size measured along the aforementioned channel-length direction of the aforementioned uniform field of the aforementioned drain field is a nonvolatile semiconductor memory according to claim 1 which is 50nm or more.

[Claim 3] The nonvolatile semiconductor memory according to claim 1 whose size measured along the aforementioned channel-length direction of the above of a part of the aforementioned drain field channel length is 0.4 micrometers or less, and is 80nm or more.

[Claim 4] The size measured along the aforementioned channel-length direction of the above of a part of the aforementioned drain field is a larger nonvolatile semiconductor memory according to claim 1 than the thickness of the above of a part of the aforementioned drain field.

[Claim 5] The high impurity concentration of the aforementioned uniform field included in the above of the aforementioned drain field part is a nonvolatile semiconductor memory more nearly given in the low claim 1 than the high impurity concentration of the field which the aforementioned gate electrode does not overlap among the aforementioned drain fields.

[Claim 6] The nonvolatile semiconductor memory according to claim 5 characterized by providing the following. The aforementioned drain field is the 1st impurity diffusion layer formed in the front face of the aforementioned semiconductor region. Connect with the impurity diffusion layer of the above 1st electrically, and the 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included. The above of the aforementioned drain field part is the function to be formed from the impurity diffusion layer of the above 1st, and for the impurity diffusion layer of the above 2nd to be in contact with the wiring which supplies drain voltage to the aforementioned drain field, and to transmit the aforementioned drain voltage to the impurity diffusion layer of the above 1st.

[Claim 7] For the impurity diffusion layer of the above 3rd, the aforementioned drain field is a nonvolatile semiconductor memory according to claim 6 which is formed in the front face of the aforementioned semiconductor region, interconnects electrically the impurity diffusion layer of the above 1st, and the impurity diffusion layer of the above 2nd, and has low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 2nd more highly than the high impurity concentration of the impurity diffusion layer of the above 1st including the 3rd impurity diffusion layer.

[Claim 8] A part of impurity diffusion layer [ at least ] of the above 3rd of the aforementioned drain field is the nonvolatile semiconductor memory according to claim 7 overlapped by the aforementioned gate electrode.

[Claim 9] The aforementioned channel field is a nonvolatile semiconductor memory given in any of claims 1-8 which

have high impurity concentration higher than the high impurity concentration of the portion of everything [ the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part is included, and / layer / impurity diffusion / of the 1st conductivity type of the above ] but the semiconductor region of the 1st conductivity type of the above they are.

[Claim 10] The aforementioned low concentration impurity diffusion layer is a nonvolatile semiconductor memory according to claim 7 which has low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 3rd including the low concentration impurity diffusion layer of the 2nd conductivity type by which the aforementioned drain field was prepared between the impurity diffusion layer of the above 2nd, and the aforementioned semiconductor region.

[Claim 11] The aforementioned channel field is a nonvolatile semiconductor memory according to claim 10 which contains the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part, and has high impurity concentration with the impurity diffusion layer of the 1st conductivity type of the above higher than the high impurity concentration of the semiconductor region of the 1st conductivity type of the above.

[Claim 12] The size measured along the direction of channel length of the above of a part of the aforementioned drain field which it is a nonvolatile semiconductor memory, and the aforementioned gate electrode overlaps a part of aforementioned drain field, and is overlapped by the aforementioned gate electrode characterized by providing the following is a larger nonvolatile semiconductor memory than the longitudinal direction diffusion length of the 2nd conductivity-type impurity in the aforementioned drain field. The semiconductor region of the 1st conductivity type. The insulator layer formed on the aforementioned semiconductor region. The gate electrode formed on the aforementioned insulator layer. The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, the drain field of the 2nd conductivity type formed in the aforementioned semiconductor substrate, and the channel field that is formed in the aforementioned semiconductor substrate and located between the aforementioned source field and the aforementioned drain field.

[Claim 13] The size measured along the direction of channel length of the above of a part of the aforementioned drain field overlapped by the aforementioned gate electrode is a nonvolatile semiconductor memory to the larger claim 12 than the thickness of the above of a part of the aforementioned drain field.

[Claim 14] The above of the aforementioned drain field part is a nonvolatile semiconductor memory containing the impurity poured in by slanting ion-implantation according to claim 12.

[Claim 15] The nonvolatile semiconductor memory according to claim 12 whose size measured along the aforementioned channel-length direction of the above of a part of the aforementioned drain field channel length is 0.4 micrometers or less, and is 80nm or more.

[Claim 16] The high impurity concentration of the above of a part of the aforementioned drain field is a nonvolatile semiconductor memory more nearly given in the low claim 12 than the high impurity concentration of the field which the aforementioned gate electrode does not overlap among the aforementioned drain fields.

[Claim 17] The nonvolatile semiconductor memory according to claim 16 characterized by providing the following. The aforementioned drain field is the 1st impurity diffusion layer formed in the front face of the aforementioned semiconductor region. Connect with the impurity diffusion layer of the above 1st electrically, and the 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included. The above of the aforementioned drain field part is the function to be formed from the impurity diffusion layer of the above 1st, and for the impurity diffusion layer of the above 2nd to be in contact with the wiring which supplies drain voltage to the aforementioned drain field, and to transmit the aforementioned drain voltage to the impurity diffusion layer of the above 1st.

[Claim 18] For the impurity diffusion layer of the above 3rd, the aforementioned drain field is a nonvolatile semiconductor memory according to claim 16 which is formed in the front face of the aforementioned semiconductor region, interconnects electrically the impurity diffusion layer of the above 1st, and the impurity diffusion layer of the above 2nd, and has low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 2nd more highly than the high impurity concentration of the impurity diffusion layer of the above 1st including the 3rd impurity diffusion layer.

[Claim 19] A part of impurity diffusion layer [ at least ] of the above 3rd of the aforementioned drain field is the nonvolatile semiconductor memory according to claim 18 overlapped by the aforementioned gate electrode.



[Claim 20] The aforementioned channel field is a nonvolatile semiconductor memory given in any of claims 12-19 which have high impurity concentration higher than the high impurity concentration of the semiconductor region of the 1st conductivity type of the above the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part is included, and the impurity diffusion layer of the 1st conductivity type of the above is.

[Claim 21] The aforementioned low concentration impurity diffusion layer is a nonvolatile semiconductor memory according to claim 18 which has low high impurity concentration rather than the high impurity concentration of the impurity diffusion layer of the above 3rd including the low concentration impurity diffusion layer of the 2nd conductivity type by which the aforementioned drain field was prepared between the impurity diffusion layer of the above 2nd, and the aforementioned semiconductor region.

[Claim 22] The aforementioned channel field is a nonvolatile semiconductor memory according to claim 21 which contains the impurity diffusion layer of the 1st conductivity type formed in the position which touches the above of the aforementioned drain field part, and has high impurity concentration with the impurity diffusion layer of the 1st conductivity type of the above higher than the high impurity concentration of the semiconductor region of the 1st conductivity type of the above.

[Claim 23] The on-the-strength peak position of the direction electric field of channel length which are characterized by providing the following and which are nonvolatile semiconductor memories and are formed in the front face of the aforementioned semiconductor region at the time of data writing has shifted toward the core of the aforementioned channel field rather than the edge of the aforementioned gate electrode, and, moreover, the shift amount is a larger nonvolatile semiconductor memory than the longitudinal direction diffusion length of the 2nd conductivity-type impurity in the aforementioned drain field. The semiconductor region of the 1st conductivity type. The insulator layer formed on the aforementioned semiconductor region. The gate electrode formed on the aforementioned insulator layer. The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the channel field that is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field.

[Claim 24] The semiconductor region of the 1st conductivity type characterized by providing the following, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, The manufacture method of the nonvolatile semiconductor memory equipped with the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the channel field which is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field. The process which covers the aforementioned channel field and the becoming field with a mask among the aforementioned semiconductor regions before forming the aforementioned source field and the aforementioned drain field. The process which forms the 2nd conductivity-type impurity diffusion layer of the aforementioned drain field which presupposes a part at least and functions in the field which is not covered with the aforementioned mask among the aforementioned semiconductor regions. The process which removes the aforementioned mask. The above of the aforementioned 2nd conductivity-type impurity-diffusion layer part with which the aforementioned gate formation process is overlapped by the aforementioned gate electrode meets in the direction of channel length by including the gate formation process which forms the aforementioned gate electrode as the aforementioned 2nd conductivity-type impurity-diffusion layer which functions as a part of aforementioned drain field reaches in part and covers both aforementioned channel fields, and it is the uniform field of high-impurity-concentration regularity in a longitudinal direction.

[Claim 25] The semiconductor region of the 1st conductivity type characterized by providing the following, and the insulator layer formed on the aforementioned semiconductor region, The gate electrode formed on the aforementioned insulator layer, and the source field of the 2nd conductivity type formed in the aforementioned semiconductor region, The manufacture method of the nonvolatile semiconductor memory equipped with the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the channel field which is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field. The process which covers the aforementioned channel field, the becoming field and the aforementioned source field, and the becoming field with a mask at least among the aforementioned semiconductor regions before



forming the aforementioned source field and the aforementioned drain field. The process which forms the 2nd conductivity-type impurity diffusion layer of the aforementioned drain field which presupposes a part at least and functions in the field which is not covered with the aforementioned mask among the aforementioned semiconductor regions. The process which removes the aforementioned mask. The above of the aforementioned 2nd conductivity-type impurity diffusion layer part with which the aforementioned gate formation process is overlapped by the aforementioned gate electrode meets in the direction of channel length by including the gate formation process which forms the aforementioned gate electrode as covers a part of aforementioned 2nd conductivity-type impurity diffusion layer which functions as a part of aforementioned drain field, and it is the uniform field of high-impurity-concentration regularity in a longitudinal direction.

[Claim 26] The aforementioned gate formation process is the manufacture method of the nonvolatile semiconductor memory according to claim 24 performed so that the size measured along the aforementioned channel-length direction of the aforementioned uniform field of the aforementioned 2nd conductivity-type impurity diffusion layer may be set to 50nm or more.

[Claim 27] The aforementioned gate formation process is the manufacture method of the nonvolatile semiconductor memory according to claim 24 performed so that the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned 2nd conductivity-type impurity diffusion layer overlapped by the aforementioned gate electrode may be set to 80nm or more.

[Claim 28] The aforementioned gate formation process is the manufacture method of the nonvolatile semiconductor memory according to claim 24 performed so that the size measured along the aforementioned channel-length direction of the above of a part of the aforementioned 2nd conductivity-type impurity diffusion layer overlapped by the aforementioned gate electrode may become larger than the thickness of the above of a part of the aforementioned 2nd conductivity-type impurity diffusion layer.

[Claim 29] The manufacture method of a nonvolatile semiconductor memory according to claim 24 which includes further the high-level doping process which completes formation of the aforementioned source field and the aforementioned drain field by pouring the 2nd conductivity-type impurity into the aforementioned semiconductor region by using the aforementioned gate electrode as a mask at least after formation of the aforementioned gate electrode.

[Claim 30] By pouring in the 2nd conductivity-type impurity by using the aforementioned gate electrode as a mask before the aforementioned high-level doping process after formation of the aforementioned gate electrode at the aforementioned semiconductor region. The process which forms other 2nd conductivity-type impurity diffusion layers with high impurity concentration higher than the high impurity concentration of the aforementioned 2nd conductivity-type impurity diffusion layer in a self-adjustment target to the aforementioned gate electrode, The manufacture method of a nonvolatile semiconductor memory according to claim 29 which includes further the process which forms a sidewall spacer before the aforementioned high-level doping process at the side of the aforementioned gate electrode and the gate electrode of the above 2nd after forming the 2nd conductivity-type impurity diffusion layer besides the above.

[Claim 31] It is the manufacture method of a nonvolatile semiconductor memory given in any of the claims 25-30 which have the impurity-diffusion layer of the 1st conductivity type by it in the position where the aforementioned channel field finally touches the aforementioned 2nd conductivity-type impurity-diffusion layer after forming the aforementioned mask, before removing the aforementioned mask, include further the process which pours the 1st conductivity-type impurity into the field with which the aforementioned mask is not covered among the aforementioned semiconductor regions, and they are.

[Claim 32] It is the nonvolatile semiconductor memory characterized by providing the following. the aforementioned drain field High impurity concentration meets in the direction of channel length. The 1st impurity diffusion layer of simultaneously regularity, The 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included. the aforementioned gate electrode The nonvolatile semiconductor memory which overlaps a part of whole impurity diffusion layer of the above 1st of the aforementioned drain field, and impurity diffusion layer of the above 2nd. The semiconductor region of the 1st conductivity type. The insulator layer formed on the aforementioned semiconductor region. The gate electrode formed on the aforementioned insulator layer. The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region.

and the channel field that is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field.

[Claim 33] The nonvolatile semiconductor memory according to claim 32 characterized by the thing of the impurity diffusion layer of the above 1st for which an inversion layer is formed in a front face at least at the time of data writing.

[Claim 34] It is the nonvolatile semiconductor memory characterized by providing the following. the aforementioned drain field The 1st impurity diffusion layer with the high impurity concentration which is a grade by which an inversion layer is formed at least in a front face at the time of data writing, The 2nd impurity diffusion layer with high impurity concentration higher than the high impurity concentration of the impurity diffusion layer of the above 1st is included. the aforementioned gate electrode The nonvolatile semiconductor memory which overlaps a part of whole impurity diffusion layer of the above 1st of the aforementioned drain field, and impurity diffusion layer of the above 2nd. The semiconductor region of the 1st conductivity type. The insulator layer formed on the aforementioned semiconductor region. The gate electrode formed on the aforementioned insulator layer. The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the channel field that is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field.

[Claim 35] It is the nonvolatile semiconductor memory which it is the nonvolatile semiconductor memory characterized by to provide the following, and the aforementioned drain field contains the high-concentration impurity diffusion layer which shows fixed drain potential substantially irrespective of the potential of the aforementioned gate electrode, and the low-concentration impurity-diffusion layer from which a surface potential distribution changes according to the potential of the aforementioned gate electrode, and overlaps the aforementioned gate electrode at a part of whole low-concentration impurity-diffusion layer of the aforementioned drain field, and aforementioned \*\*\*\*\* impurity-diffusion layer. The semiconductor region of the 1st conductivity type. The insulator layer formed on the aforementioned semiconductor region. The gate electrode formed on the aforementioned insulator layer. The source field of the 2nd conductivity type formed in the aforementioned semiconductor region, the drain field of the 2nd conductivity type formed in the aforementioned semiconductor region, and the channel field that is formed in the aforementioned semiconductor region and located between the aforementioned source field and the aforementioned drain field.

---

[Translation done.]

**\* NOTICES \***

**Japan Patent Office is not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of the conventional MOS type flash EEPROM.

[Drawing 2] It is the cross section of the 1st operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 3] Drawing showing typically the cross-section composition in the drain field of the equipment of the 1st operation gestalt, high impurity concentration, and a horizontal field strength distribution

[Drawing 4] Drawing showing typically a horizontal field strength distribution [ in / the drain field of the equipment of the 1st operation gestalt / in (a) ] and (b) are drawings showing typically the horizontal field strength distribution in the drain field of conventional equipment.

[Drawing 5] It is a process cross section for (d) explaining the manufacture method of the equipment of drawing 2 from (a).

[Drawing 6] It is the cross section of the 2nd operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 7] It is the cross section of the 3rd operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 8] (a) is drawing showing the drain field at the time of data writing, and the surface potential (potential) of the near, and (b) is drawing showing the drain field when the potential of a floating-gate electrode falling, and the surface potential (potential) of the near.

[Drawing 9] (a) And (b) is a process cross section for explaining the manufacture method of the equipment of drawing 7.

[Drawing 10] It is the cross section of the 3rd operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 11] It is the cross section of the 4th operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 12] It is the cross section of the 5th operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 13] It is the cross section of the 6th operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 14] It is the cross section of the 7th operation gestalt of the nonvolatile semiconductor memory by this invention.

[Drawing 15] It is a process cross section for (c) explaining the manufacture method of the equipment of drawing 6 from (a).

[Drawing 16] It is a process cross section for (c) explaining the manufacture method of the equipment of drawing 7 from (a).

[Drawing 17] It is a process cross section for (c) explaining the manufacture method of the equipment of drawing 9 from (a).

[Drawing 18] It is a process cross section for (c) explaining the manufacture method of the equipment of drawing 11 from (a).

[Drawing 19] (a) And (b) is drawing showing typically where electronic tunneling arises at the time of data writing and

data elimination in the nonvolatile semiconductor memory of this invention.

<sup>4</sup>[Description of Notations]

1 Single Crystal Semiconductor Substrate

2 Tunnel Insulator Layer

3 Suspension Control Gate (FG)

4 Capacity Insulator Layer

5 Control Gate Electrode (CG)

---

[Translation done.]